

应用指南AN-61 LinkSwitch-3产品系列

设计指南与注意事项

简介

LinkSwitch™-3产品系列是高度集成的单片开关IC，用于设计最高输出功率为10 W的离线式电源。LinkSwitch-3能够提供恒压和恒流(CV/CC)输出调节，而无需使用光耦器或次级反馈电路，非常适合充电器、适配器、辅助电源和LED驱动器应用。由于集成有输出电压降补偿、变压器漏感补偿以及外围元件温度漂移补偿功能，因此即使在输出电缆末端也可实现较高的精度。开/关控制可以优化各种负载和线电压条件下的效率，从而使设计轻松满足空载功耗及电源效率要求。

该系列中的每个产品都在一个硅片上集成了一个高压功率MOSFET及控制器。内部连接到漏极的高压电流源在启动阶段提供偏置电流，从而省去了外部启动电路元件。内部振荡器具有频率调制(抖动)特性，可以降低在全频模式下工作时的EMI。此外，IC还集成了一些可提供系统级保护的功能。自动重启功能可以在过载、输出短路和开环条件下限制MOSFET、变压器及输出二极管中的功率耗散。自动恢复迟滞热关断功能可以在发生热失效时禁止MOSFET开关。由于LinkSwitch-3产品系列采用了Power Integrations的EcoSmart™技术，基于该器件的电源只需使用低成本的偏

置电路，即可使空载功耗小于30 mW。这种解决方案能够轻松满足如加州能源委员会(CEC)、欧盟行为准则(CoC)及能源之星等能效标准。

基本电路结构

图1中的电路显示了使用LinkSwitch-3设计的反激式电源的基本结构。由于LinkSwitch-3具有非常高的集成度，因此仅需考虑少量的元件参数设计问题，即可将一个电路配置用到所有应用场合。例如，不同的输出功率只是要求电路中的某些元件具有不同的数值，但电路结构不会改变。

范围

本应用指南旨在帮助工程师使用LinkSwitch-3系列器件设计隔离的AC-DC反激式开关电源。工程师可以利用本文所述的指导方法快速选择所需的关键元件并完成合适的变压器设计。为方便起见，本文直接参考了PIXIs变压器设计表格。该设计表格为PI Expert™设计软件的一部分。

除了本应用指南外，您还可找到LinkSwitch-3设计范例报告(DER)。有关PI Expert下载、设计范例报告以及本文档更新内容的更多详细信息，请访问www.power.com。

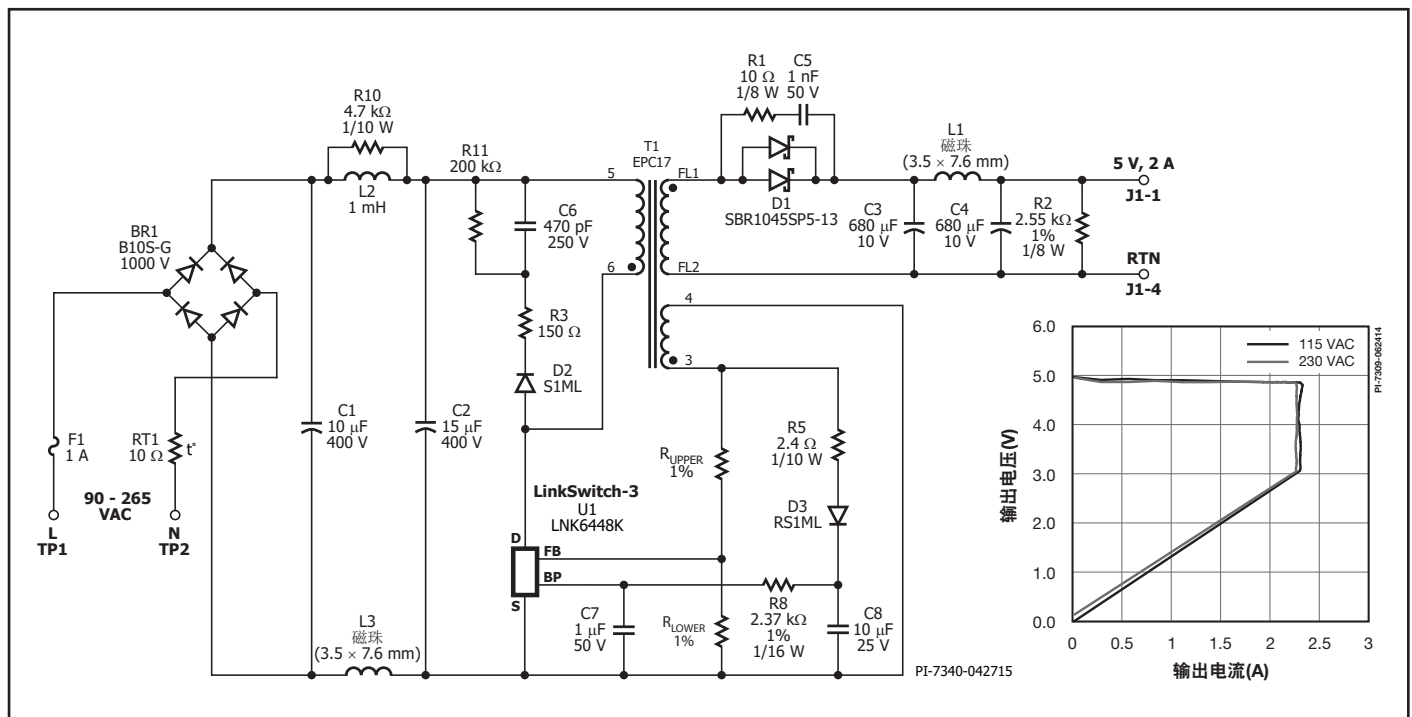


图1. 高效USB充电器电源(平均效率为78%，空载输入功率<30 mW)

快速入门

如果想立即开始设计，则可以使用如下信息，为第一个工程原型快速设计出一个变压器并选择相应的元器件。只要将如下所述的信息输入PIXIs表格，其他参数就会根据典型的设计自动选取出来。方括号当中的数值表示PIXIs设计表格中单元的位置。

- 输入交流输入电压范围，包括 V_{AC_MIN} 、 V_{AC_MAX} 及最小工频 f_L [B3, B4, B5]。
- 选择应用类型，即适配器或敞开式[B6]。
- 输入额定输出电压（如果适用，输入电缆末端电压） V_o [B7]。
- 输入要求的最小输出电流值[B8]。
- 输入估计的效率[B10]。
 - 对于通用输入电压范围(85-265 VAC)或单电压100/115 VAC (85-132 VAC)输入取值0.76；对于单电压230 VAC (185-265 VAC)输入取值0.78。（完成首件工程样板后在最低交流输入电压 V_{AC_MIN} 、最大负载条件下测量其效率，再相应地调整表格中估计的效率取值。）
- 输入损耗分配因子Z [B11]。
 - 对于典型的应用取值0.5（完成首件工程样板后相应地调整该取值）
- 输入 C_{IN} 输入滤波电容容量[B13]。
 - 对于通用电压(85-265 VAC)或单电压(100/115 VAC)输入取值 $\geq 2.5 \mu F/W$ 。
 - 对于单电压230 VAC（或195-265 VAC）输入取值 $1 \mu F/W$ 。
 - 注：选择LinkSwitch-3器件后，如果计算得出的占空比[D64]大于55%，则需加大输入滤波电容容量。
- 从下拉列表中选择LinkSwitch-3器件型号。
 - 从表1中根据输出功率选择合适的器件。
- 从下拉列表中选择输出线压降补偿选项。完整的元件编号将在此步骤后显示在[B17]内。
- 输入额定工作频率 F_s [B22]。（ F_s 是电源以额定元件值在额定峰值输出功率点进行工作时的额定工作频率。）注：推荐的频率在70 kHz到85 kHz之间。
- 输入 V_{DS} [B24]，即导通状态下的漏-源极压降。如果没有合适的数值，取值10 V。
- 输入输出整流管的正向导通压降 V_D [B25]。对肖特基二极管取值0.5 V，对于标准PN结二极管取值0.7。
- 确认 K_p [D26]大于1.0，确保非连续工作。为取得更佳的恒流公差，选取大于1.15的 K_p 值。
- 在[B30]中输入反馈绕组圈数；必须确保 V_{FLY} [B31]高于4 V。
- 输入偏置绕组电压 V_B [B36]，建议电压取值10 V，以降低空载输入功耗。注：如果 V_{FLY} [B30]高于10 V，反馈绕组还可充当偏置绕组，无需使用单独的偏置绕组。
- 在 D_{CON} [B40]输入4.6 μs ，即输出整流管的导通时间。注： D_{CON} 是预期值， D_{CON_FINAL} 是实际 D_{CON} ，假定 N_p 、 N_s 和 V_{MIN} 为整数。
- 从下拉菜单中选择磁芯类型[B48]。如果所需的磁芯未列出，从下拉菜单中选择“自定义”，在自定义磁芯[B49]中手动输入磁芯名称，然后可以输入磁芯参数 A_e 、 L_e 及 A_L ([B51] [B52] [B53] [B54])。
- 输入骨架宽度BW [B54]。
- 如果需要挡墙胶带的话，在[B55]中输入挡墙胶带宽度。注：这样绕组宽度将会减小输入值的2倍。
- 输入初级绕组层数L [B56]。最多使用3层，以限制初级漏感值。
- 输入初级电感公差 $L_{P(TOLERANCE)}$ [B73]。

输出功率表^{1,2,3,4}

产品 ⁵	90-264 VAC	
	D (SO-8C)封装	
	适配器	敞开式
LNK6404D / LNK6424D	3.5 W	4.1 W
LNK6405D / LNK6415D / LNK6425D	4.5 W	5.1 W
LNK6406D / LNK6416D / LNK6426D / LNK6436D / LNK6446D	5.5 W	6.1 W
LNK6407D / LNK6417D / LNK6427D	7.5 W	7.5 W
产品 ⁵	E (eSIP-7C)封装和 K (eSOP-12B)封装	
	适配器	敞开式
	LNK6407K / LNK6417K / LNK6427K	8.5 W
LNK6408K / LNK6418K / LNK6428K / LNK6448K	10 W	10 W
LNK6408E / LNK6418E / LNK6428E / LNK6448E	10 W	10 W

表1. 输出功率表

注释：

1. 假设最低直流输入电压 >90 VDC、 $K_p \geq 1$ （建议 $K_p \geq 1.15$ 以获得精确的恒流调整率）、 $\eta > 78\%$ 、 $D_{MAX} < 55\%$ 。
2. 如果使用较低的输入电压，输出功率能力会下降。
3. 最小连续功率是在有足够的散热、50 °C环境温度以及器件结温低于110 °C的条件下测得的。
4. 假设使用偏置绕组为旁路引脚供电。
5. 封装：D: SO-8C, E: eSIP-7C, K: eSOP-12B。

- 输入变压器的最大磁通密度 $B_{M(TARGET)}$ [B76]。注：使用的磁通密度不要超过最大磁通密度2600 Gauss，使变压器的音频噪声维持在可接受的水平。可参照F栏给出的指导方法来消除任何警告。
- 确认磁芯气隙 L_g [D81]、线规格AWG [D86]以及初级绕组电流密度CMA [D87]均在可接受范围内。
- 确认LinkSwitch-3漏极电压[D99]小于680 V。
- 使用电阻 R_{UPPER} [D43]和 R_{LOWER} [D44]作为反馈电阻（图1）。
- 输入PIVs [D100]和 I_{SRMS} [D93]可确定适当的输出整流管。
- 选择输入电容电压额定值（大于 V_{MAX} [D61]），并选择纹波电流额定值（大于 I_{RIPPLE} [D67]）。
- 输入 V_o [B8]、ISP [D90]及 I_{RIPPLE} [D94]，可确定适当的输出滤波电容。
- 输入 I_{AVG} [D65]以及介于600 V和1000 V之间的峰值反向电压估计值，可确定输入整流二极管（通常为1N4006或1N4007型）。
- 输入 I_{AVG} [D65]，可确定适当的输入滤波电感电流额定值。通常情况下，使用1 mH到2 mH的电感值足可满足传导EMI要求。
- 制作好电源原型后，测量峰值功率点的输出电压和电流。分别在单元格[B103]和[B104]中输入 R_{UPPER} 和 R_{LOWER} 。
- 在单元格[B105]中输入测量出的电压值。在单元格[B106]中输入从恒压工作切换到恒流工作时测量出的电流值。PIXIs计算出电源经过精确调整的反馈电阻值。在 R_{UPPER} [D107]和 R_{LOWER} [D108]单元格中输入最近1%值的电阻。

详细设计步骤

第1步—输入应用变量 V_{AC_MIN} 、 V_{AC_MAX} 、 f_L 、 V_O 、 I_O 、 h 、 Z 、 V_B 、 t_C 、偏置支持、 C_{IN}

从表2当中确定输入电压范围。

注：对于只有直流输入的设计，在设计表格的灰色单元格中直接输入直流输入电压的最小值 V_{MIN} [B60] 和最大值 V_{MAX} [B61]（见图4）。

工频, f_L

对于通用输入电压或单电压100 VAC输入取值50 Hz，对于单电压115 VAC输入取值60 Hz，对于单电压230 VAC输入取值50 Hz。这些值表示典型的线电压频率，而不是最小频率。对于大多数应用，这都预留了足够的整体设计裕量。为绝对最差情况进行设计时，或可根据产品的具体规格，将这些数值降低6%（降到47 Hz或56 Hz）。如果是半波整流，可以使用 $f_L/2$ 。如果是直流输入，直接将电压输入单元格[B60]和[B61]。

额定输出电压, V_O (V)

对于恒压/恒流设计和恒压设计， V_O 是在运载额定输出电流的连接输出线的末端测量的额定输出电压。输出电压的公差为 $\pm 5\%$ （包括初始公差以及数据手册中规定的结温范围）。

最小必需输出电流, I_O (A)

对于恒压/恒流设计， I_O 是额定输出电压下要求的最小输出电流。如果设计的是外部适配器，其额定输出电压和电流可能与标称值不一致。标称值通常表示适配器的最小输出电压和电流，这样可以确保测量时，适配器至少可以提供 $V_{O(MIN)}$ 和 $I_{O(MIN)}$ ，以满足相关能效测试要求。有关输出电压和电流的定义说明请参见图3。

例如，如果额定恒流水平为2.2 A，则最小 I_O 为1.98 A，最大 I_O 为2.42 A（公差10%）。因此，要求的最小电流 I_O 应输入为1.98 A。

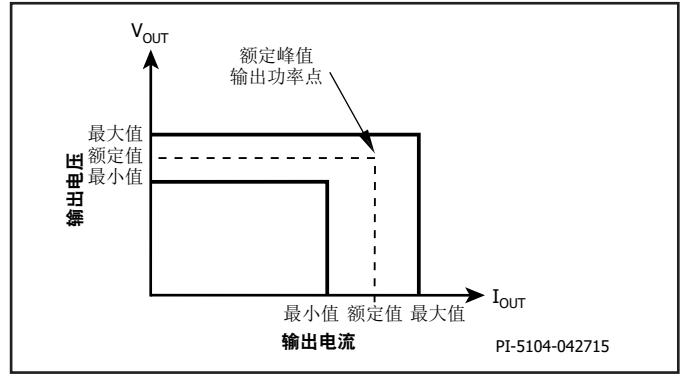


图2. 输出特性包络的定义说明

额定输入电压(VAC)	V_{AC_MIN}	V_{AC_MAX}
100/115	85	132
230	195	265
通用	85	265

表2. 标准的全球输入电压范围

电源效率, η

输入整个电源的估计功率：即在满载及最差的输入电压（一般为最低输入电压）条件下于输出电缆末端（如果适用）测得的效率。对于通用输入电压范围(85-265 VAC)或单电压100/115 VAC (85-132 VAC)输入取值0.76；对于单电压230 VAC (185-265 VAC)输入取值0.78。完成首件原型板后在峰值功率点、 V_{AC_MIN} 和 V_{AC_MAX} 条件下测量其效率，再相应地调整表格中估计的效率取值。

输入应用变量			设计标题
VACMIN		90.00 V	最小AC输入电压
VACMAX		265.00 V	最大AC输入电压
f_L		50.00 Hz	AC电网频率
应用类型	敞开式	敞开式	选择应用类型
V_O		5.00 V	输出电压（在连续输出功率条件下）
I_O		0.75 A	要求的最小输出电流
功率		3.75 W	连续输出功率
η		0.75	到输出端子的估计效率。
Z		0.50	Z因子。次级侧损耗与电源总损耗的比率。若没有合适的数值，取0.5
t_C		3.00 ms	整流桥导通时间估计值
C_{IN}	30.00	30.00 μF	输入电容

图3. 设计表格中的应用变量部分

直流输入电压参数			
V_{MIN}		117.76 V	最小DC总线电压
V_{MAX}		374.77 V	最大DC总线电压

图4. 设计表格中的直流输入电压参数部分

电源损耗分配因子, Z

此参数表示电源次级侧功耗在初级侧和次级侧总功耗中所占的比例。Z参数和计算出的效率决定了功率级要处理的实际功率。例如，功率级（通过变压器传输）不会处理在输入级（EMI滤波器、整流电路等）的损耗。因此，尽管输入级的损耗降低了效率，但不会影响变压器的设计。

$$Z = \frac{\text{次级侧损耗}}{\text{总损耗}}$$

如果没有其他数据，则取值0.5。

桥式二极管的导通时间, t_c (ms)

此参数是AC输入正弦波为输入电容进行充电的时间（此时输入二极管导通）。它用于计算 $V_{AC(MIN)}$ 下输入电容上的最小电压。通过测量原型的输入电流波形可以计算出 t_c 的实际值。如果没有其他数据，则取值3 ms。

总输入电容容量, C_{IN} (μF)

参考表3输入总输入电容容量。电容容量用于计算大容量电容的最低电压 V_{MIN} 。为 C_{IN} 选取一个值，使 $V_{MIN} > 90 V$ 。

每瓦特输出功率应使用的总输入电容容量($\mu F/W$)	
交流输入电压(VAC)	全波整流
100/115	2.5
230	1
85-265	2.5

表3. 不同的输入电压范围建议的总输入电容容量

第二步 – 输入LinkSwitch-3变量: LinkSwitch-3器件和封装、 V_{DS} 及 V_D **输出功率表^{1,2,3,4}**

产品 ⁵	90-264 VAC	
	D (SO-8C) Package	
	适配器	敞开式
LNK6404D / LNK6424D	3.5 W	4.1 W
LNK6405D / LNK6415D / LNK6425D	4.5 W	5.1 W
LNK6406D / LNK6416D / LNK6426D / LNK6436D / LNK6446D	5.5 W	6.1 W
LNK6407D / LNK6417D / LNK6427D	7.5 W	7.5 W
产品 ⁵	E (eSIP-7C)封装和 K (eSOP-12B)封装	
	适配器	敞开式
LNK6407K / LNK6417K / LNK6427K	8.5 W	9 W
LNK6408K / LNK6418K / LNK6428K / LNK6448K	10 W	10 W
LNK6408E / LNK6418E / LNK6428E / LNK6448E	10 W	10 W

表4. 输出功率表

选择正确的LinkSwitch-3器件和封装。参考LinkSwitch-3功率表（表4），选择符合所需输出功率和工作条件（密封适配器或敞开式）的器件。7引脚表面贴装SO-8C为D型封装，11引脚表面贴装eSOP-12B为K型封装（LNK64x7和LNK64x8），或者6引脚直插式eSIP-7C为E型封装（仅LNK64x8）。（有关此步骤及后面的四个步骤，请参见图5）。

选择输出线压降补偿选项

选择输出线压降补偿选项（表5）以最符合输出线中的输出压降百分比。例如，输出线阻抗为150 m Ω 的5 V/2 A LNK64x8K设计的输出线压降为0.3 V。对于理想的额定输出电压5 V（电缆末端），这代表6%的压降。在这种情况下，选择+6%补偿以达到最小误差。完整的元件编号将在此步骤后显示在[B18]内。

LinkSwitch-3输出线压降补偿

器件	输出电压变化因数($\pm 1\%$)
LNK640x	1.02
LNK641x	1.04
LNK642x	1.06
LNK643x	1.08
LNK644x	1.01

表5. 电缆补偿变化因数与器件的对应关系

选择工作频率, F_s

输入额定工作开关频率 F_s 。 F_s 是电源在额定峰值输出功率点进行工作时的开关频率。在70 kHz和85 kHz之间选择频率范围。最小及最大工作频率的大小取决于 L_p 的公差和内部电流限值。如果计算得出的最小或最大频率不在45 kHz到100 kHz的范围内，将出现一个警告。

LinkSwitch-3导通状态漏-源极电压, V_{DS} (V)

此参数为LinkSwitch-3的漏极源极间的平均导通电压。如果没有输入相应的值，PIXIs将使用默认值10 V。

输出二极管正向电压降, V_D (V)

输入输出二极管的平均正向电压降。如果没有提供特定二极管数据，则对于肖特基二极管取值0.5，对于PN结型二极管取值为0.7 V。 V_D 的默认值为0.5 V。

初级MOSFET关断时间与次级二极管导通时间的比例, K_p

为了实现正确调节，LinkSwitch-3要求电源在非连续导通模式下工作。确认 K_p 大于1.0，确保非连续工作。为取得最佳的恒流公差，选取大于1.15的 K_p 值（留出15%的裕量，因为考虑到频率调制、元件公差等因素）。 K_p 应始终大于1， K_p 表示非连续导通模式，并且是初级MOSFET关断时间与次级二极管导通时间的比例。

$$K_p \equiv K_{DP} = \frac{(1-D) \times T}{t} = \frac{V_{OR} \times (1-D_{MAX})}{(V_{MIN} - V_{DS}) \times D_{MAX}}$$

反馈绕组参数

反馈绕组参数由PIXIs设计表计算出。 N_{FB} 是变压器中反馈绕组的圈数。 V_{FLY} 和 V_{FOR} 表示MOSFET在导通(V_{FOR})或关断(V_{FLY})期间反馈绕组上的电压。

偏置绕组参数 – 选择外部偏置

如果需要为LinkSwitch-3添加外部偏置电源,并且应将偏置绕组添加到变压器,则选择外部偏置。外部绕组支持可以提高效率,特别是轻载条件下的效率,通过禁止IC的内部高压供电还可以降低空载输入功耗。对于LNK64X7和LNK64X8,外部偏置是强制性要求,因为内部分流(自偏置)电流不足以在满载时为IC提供电流。

如果反馈绕组电压(V_{FLY})等于或大于10 V,偏置绕组可以同时用作反馈绕组。如果反馈绕组电压(V_{FLY})小于10 V,输入偏置电压 V_B (图7)。电压取值10 V,以降低空载输入功耗。

N_B 是偏置绕组圈数。 R_{EXT} 是偏置绕组输出二极管与旁路引脚之间的电阻。

第3步 – 选择输出整流二极管导通时间, D_{CON} (μs)

D_{CON} 是预设值, D_{CON_FINAL} 是使用整数 N_S (次级绕组圈数)和 N_P (初级绕组圈数)重新计算的最终 D_{CON} 。 D_{CON_FINAL} 是电源在峰值输出功率点时的输出二极管导通时间。更改 D_{CON} 的值(最终为 D_{CON_FINAL})可以用于调节

次级和反馈绕组的圈数,从而可以更好地利用骨架绕线窗口。增大 D_{CON} 值(最终为 D_{CON_FINAL})将会增加圈数。

将 D_{CON} 的最小值控制到满载时4.6 μs ,可确保在轻载条件下对反馈绕组进行采样时(在内部MOSFET关断后),输出二极管仍受控制。 D_{CON} 的最大值通常由 K_p 值控制。随着 D_{CON} 的增大, K_p 将会减小,直至达到其最小值1.0。电阻 R_{UPPER} 和 R_{LOWER} 是计算得出的反馈绕组电阻的初始值。

第4步 – 根据输出功率选择磁芯和骨架,并输入 A_E 、 L_E 、 A_L 、 B_W 、 L

这些符号分别代表磁芯等效截面积 A_E (cm^2)、磁芯等效路径长度 L_E (cm)、无气隙的磁芯等效电感 A_L ($nH/Turn^2$)、骨架宽度 B_W (mm)以及初级绕组层数 L 。

在默认情况下,如果磁芯单元格为空,数据表会自动选用最小的磁芯尺寸以满足最大磁通密度限制。用户也可对其进行改变,选用其他容易得到的常用磁芯(如表6所示)。表6提供了对应不同磁芯器件所能达到的输出功率能力。

设计表格中灰色的单元格[B51]到[B56]内可以直接输入磁芯及骨架参数。这样当磁芯列表中没有用户使用的磁芯或用户选用特殊的磁芯及骨架参数时,用户可自行输入相应的参数。

输入LinkSwitch-3变量				
所选器件	LNK64x8E	LNK64x8E	LNK64x8K	所选LinkSwitch-3器件及封装,例如 - LNK64x4D或LNK64x8K
输出线压降补偿选项	无补偿	无补偿		选择输出线电压降补偿的水平
完整元件编号		LNK6448E		完整元件型号
ILIMITMIN		0.47 A		最小电流限流点
ILIMITTYP		0.50 A		典型电流限流点
ILIMITMAX		0.54 A		最大电流限流点
FS		80.00 kHz		最大功率时的典型器件开关频率
VOR		39.29 V		反射输出电压(推荐VOR < 135 V)
VDS		10.00 V		LinkSwitch-3导通状态漏-源极电压
VD		0.50 V		输出绕组二极管正向电压降
KP		1.72		KP基于最小LP、VMIN和最大开关频率计算,但不包括频率调制。

图5. 设计表格中的输入LinkSwitch-3变量

反馈绕组参数				
NFB		10.00	10.00	反馈绕组圈数
VFLY			6.88 V	反激电压 - 在关闭期间反馈绕组上的电压
VFOR			11.11 V	正向电压 - 在导通期间反馈绕组上的电压

图6. 设计表格中的反馈绕组参数部分

偏置绕组参数				
BIAS	外部偏置	外部偏置		选择自偏置或外部偏置为IC供电。请注意,这会影ILIMIT。 偏置绕组电压。确保VB > VFLY。假定偏置绕组为AC叠加式结构,在反馈绕组上方
VB			10.00 V	
NB			6.00	偏置绕组匝数
REXT			7.50 k-ohm	旁通引脚电阻的建立值(使用标准5%的电阻)

图7. 设计表格中的偏置绕组参数部分

对于要求在初级和次级之间进行安全隔离（但不使用三层绝缘线）的设计，需要输入变压器骨架两侧的安全边距宽度M。通用输入设计通常需要6.2 mm的总边距宽度，因此在设计表格中要输入3.1 mm。对于垂直骨架，骨架两端的安全边距可以不是对称的。例如，即使在实际制作变压器时只有一边有绝缘间距，但如果所要求的总边距宽度为6.2 mm，还是要输入3.1 mm。

磁芯尺寸	输出功率能力
EF12.6	3.3 W
EE13	3.3 W
EE16	6.1 W
EF20	10 W

表6. LinkSwitch-3设计中常用型号的输出功率能力

对于使用三层绝缘线的设计，为了满足所要求的安全爬电距离，还是有必要输入一个小的安全边距。通常情况下，对于每个磁芯往往有多种骨架与其相配，而每种骨架有不同的外形尺寸。请参照骨架的数据手册或咨询安规工程师及变压器供应商，确定设计所需的安全边距宽度。由于安全边距减少了绕组绕制的可利用面积，因此对于磁芯较小的变压器并不适合采用安全边距的变压器结构。如果输入安全边距后，初级绕组的层数(L)大于3层，则需使用更大的磁芯，或考虑使用三层绝缘线、安全边距为零的设计。

变压器磁芯尺寸

EE8	EFD20
EE10	EFD25
EE12.9	EPC13
EE13	EPC17
EE16	EPC19
EE16W	EI16
EE1616	EI19
EE19	EI22
EE22	EI25
EEM12.4	EEL16
EF12.6	EEL19
EF16	EEL22
EF20	RM5
EFD1C	RM5/I
EFD12	RM6S
EFD15	RM6S/I

表7. LinkSwitch-3 PIXIs设计表格中提供的磁芯列表

输入初级绕组层数(L)。推荐的最大初级绕组层数为三层。层数越多，漏感就越大，这样会增大损耗。

设计参数			
DCON	5.10	5.10 us	理想的输出二极管导通时间
DCON_FINAL		5.24 us	最终的输出导通二极管，假定NP、NS及VMIN取整数值
TON		3.24 us	LinkSwitch-3导通时间（基于LPMIN、VMIN及ILIMITMIN计算）
RUPPER		30.97 k-ohm	反馈电阻分压器中的上侧电阻
RLOWER		12.18 k-ohm	电阻分压器中的下侧电阻

图8. 设计表格中的设计参数部分

输入变压器磁芯/结构变量			
磁芯类型			
磁芯	自动	EE13	输入变压器磁芯。
自定义磁芯			如果下拉菜单中的选项为“自定义”，则输入磁芯名称
骨架		BE-13	骨架型号
AE		17.10 mm ²	磁芯等效截面积
LE		30.20 mm	磁芯等效路径长度
AL		1130.00 nH/turn ²	无气隙磁芯等效电感量
BW		7.40 mm	骨架绕组宽度
M		0.00 mm	安全挡墙宽度（初级至次级爬电距离的一半）
L		3.00	初级绕组层数
NS		8.00 turns	次级绕组匝数。要调整次级绕组匝数，更改DCON

图9. 输入变压器磁芯/结构变量

变压器次级绕组设计参数			
ISP		3.09 A	次级峰值电流, 假定Ilimitmin
ISRMS		1.47 A	次级RMS电流, 假定Ilimitmax和Dmax
IRIPPLE		1.26 A	输出电容RMS纹波电流
CMS		293.25 Cmil	次级绕组裸线最小Cmil数
AWGS		25.00	次级导线规格 (舍入到下一个较大的标准AWG值)

图10. 设计表格中的变压器次级绕组设计参数部分

电压应力参数			
VDRAIN		547.80 V	最大漏极电压估计值 (假定箝位电压容差为20%, 此外还包括10%的温度容差)
PIVS		33.28 V	输出整流管最大反向峰值电压

图11. 设计表格中电压应力参数部分

微调			
RUPPER_ACTUAL		30.97 k-ohm	PCB上使用的上电阻(RUPPER)的实际值
RLOWER_ACTUAL		12.18 k-ohm	PCB上使用的下电阻(RLOWER)的实际值
实际 (测得的) 输出电压(VDC)		5.00 V	从第一个原型测得的输出电压
实际 (测得的) 输出电流(ADC)		0.75 Amps	从第一个原型测得的输出电流
RUPPER_FINE		30.97 k-ohm	反馈电阻分压器中的上电阻(RUPPER)的新值。最新的标准值为30.9 k-ohm
RLOWER_FINE		12.18 k-ohm	反馈电阻分压器中的下电阻(RLOWER)的新值。最新的标准值为12.1 k-ohm

图12. 设计表格中的微调部分

直流输入电压参数			
VMIN		117.76 V	最小DC总线电压
VMAX		374.77 V	最大DC总线电压

图13. 设计表格中的直流输入电压参数部分

电流波形参数			
DMAX		0.32	在VMIN测得的最大占空比
Iavg		0.05 A	输入VMIN下的平均电流
IP		0.23 A	峰值初级电流
IR		0.23 A	初级纹波电流
IRMS		0.09 A	初级RMS电流

图14. 设计表格中的电流波形参数部分

变压器初级绕组设计参数			
LPMIN		1638.00 uH	最小初级电感
LPTYP		1820.00 uH	典型初级电感
LP_TOLERANCE		10.00 %	初级电感量容差
NP		106.00	初级绕组匝数。要调整初级绕组匝数, 更改BM_TARGET
ALG		161.98 nH/turn ²	带气隙磁芯等效电感量
BM_TARGET	2500.00	2500.00 Gauss	目标磁通密度
BM		2510.21 Gauss	最大工作磁通密度 (使用LPTYP及ILIMITYP计算), 推荐BM < 2600
BP		2948.99 Gauss	峰值工作磁通密度 (使用LPMAX及ILIMITMAX计算), 推荐BM < 3100
BAC		1255.10 Gauss	磁芯损耗曲线中的AC磁通密度 (0.5 X 峰值-峰值)
ur		158.81	无气隙磁芯的相对磁导率
LG		0.13 mm	气隙长度(LG > 0.1 mm)
BWE		22.20 mm	等效骨架宽度
OD		0.21 mm	初级绕组最大线径 (包括绝缘层)
INS		0.04 mm	估计的总绝缘层厚度 (= 2 * 膜厚度)
DIA		0.17 mm	裸线直径
AWG		34 AWG	初级绕组的导线规格 (如果计算出的线径在两种标准线径之间, 则使用较小线径的导线)
CM		40.32 Cmil	以Cmil为单位的裸线等效面积
CMA		463.14 Cmil/A	初级绕组电流容量(200 < CMA < 500)

图15. 设计表格中的变压器初级绕组设计参数部分

N_s 是次级圈数。要想增加圈数，可增大 D_{CON} [B40]的值。

第5步 – 变压器设计的反复调整并生成主要变压器设计参数

反复调整设计，使得没有任何告警出现。如果有任何参数超出建议值的范围，右边相应的建议列内会给出消除此告警的指导方法。带有“!!! Info”标记的消息提供有关可进一步优化的可接受参数的指导。将所有警告清除后，便可使用变压器设计参数来绕制变压器原型，也可以将其发送给供应商来定做样品。

初级电感量, $L_{P(TYP)}$, $L_{P(MIN)}$ (mH), $L_{P(TOLERANCE)}$ (%)

主要变压器电气参数为 $L_{P(TYP)}$ 、 $L_{P(MIN)}$ 、 $L_{P(TOLERANCE)}$ 。 $L_{P(MIN)}$ 表示输出额定峰值输出功率($V_o \times I_o$)所需的最小初级电感值。由于通常都是将初级电感量作为含公差的名义值提供给供应商，因此 $L_{P(TYP)}$ 值可通过以下公式计算得出：

$$L_{P(TYP)} = L_{P(MIN)} \times \left(1 + \frac{L_{P(TOLERANCE)}}{100} \right)$$

其中， $L_{P(TOLERANCE)}$ 是输入的百分比公差。如果没有输入相应的值，PIXls将使用默认值10，表示公差为 $\pm 10\%$ 的 $L_{P(TOLERANCE)}$ 。

用于计算 $L_{P(MIN)}$ 的公式包括输出电压降，以及输入的效率值和Z因子。

初级绕组圈数, N_p

此参数表示总的初级绕组圈数。

开气隙后的磁芯等效电感量, A_{LG} (nH/T²)

此参数是 $L_{P(MIN)}$ 的目标磁芯等效电感量，由 A_{LG} 的典型值乘以 $1 + (L_{P(TOLERANCE)}/100)$ 计算得出。此参数通常由变压器供应商用于采购合适气隙尺寸的磁芯。

目标磁通密度, B_{M_TARGET} (Gauss)

B_{M_TARGET} 表示工作磁芯磁通密度和AC磁通变化。使用最大值2600 (0.26 T)可以降低音频噪声的产生。

磁芯气隙长度, L_g (mm)

L_g 是磁芯气隙长度的估计值。通常不推荐对中心柱气隙磁芯使用小于0.1 mm的值，因为这样会导致初级电感量容差增大。如果您需要使用小于0.1 mm的 L_g 值，请咨询变压器供应商以获得指导。

最大的初级绕组导线外径, OD (mm)

此参数是计算得出的最大导线外径，用于使初级绕组适合指定的层数。选择导线类型时，应使用双层磁线（而不是单层磁线），以便提高可靠性和降低初级电容量（降低空载输入功率）。

初级绕组导线的裸线直径, DIA (mm)

初级绕组线规格, AWG

此参数是计算得出的裸线直径，四舍五入取第二小的标准美国线规。

初级绕组裸线等效面积, CM (C_{MILLS})

CM是以圆密耳为单位的等效导线面积。

初级绕组导线电流容量, CMA ($C_{MILLS/A}$)

CMA是以圆密耳/安培（1密耳=1/1000英寸）为单位的初级导线面积。如果最差绕组温度得到检验，则可以接受取值低于推荐的最小值200。

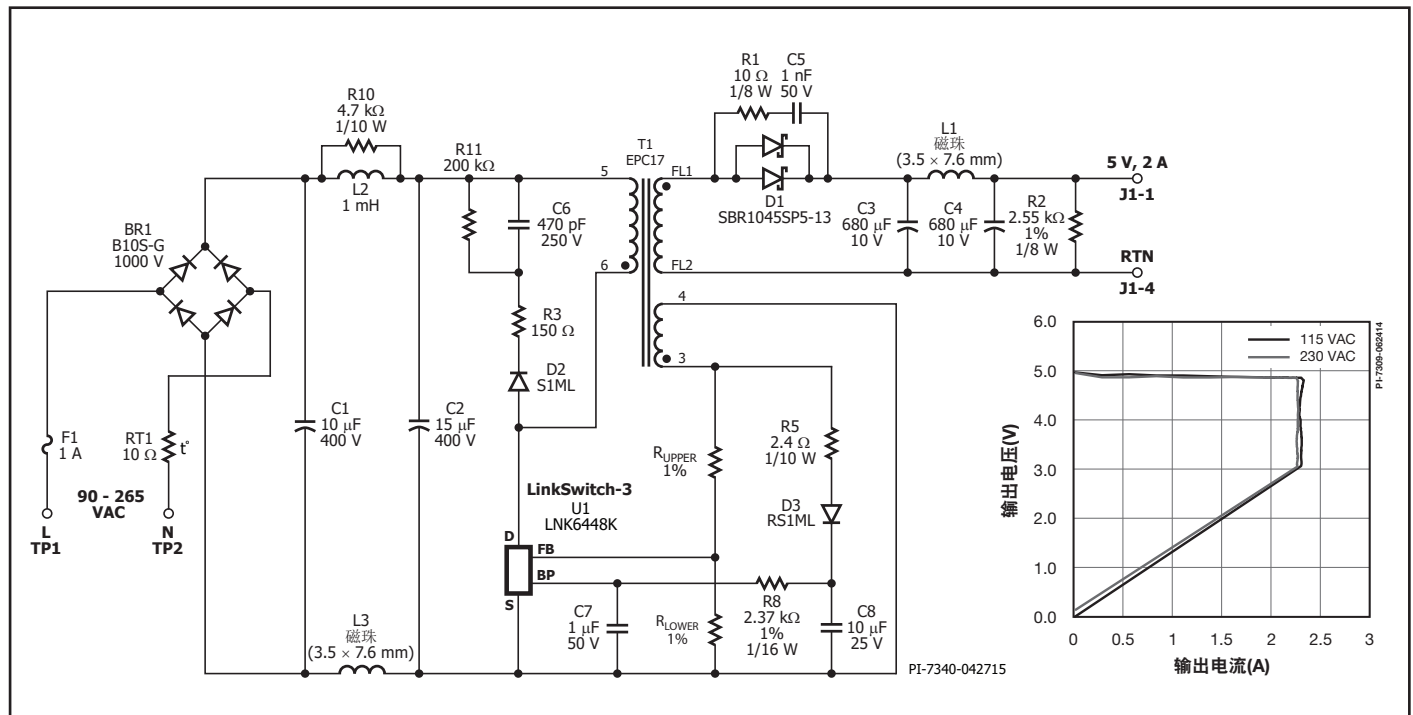


图16. 高效USB充电器电源（平均效率为78%，空载输入功率<30 mW）

第6步 – 输入级的选择

推荐的输入级如表8所示。输入级由熔断元件、输入整流及线滤波器网络组成。

熔断元件可以是可熔电阻，也可以是保险丝。如果选择使用可熔电阻，则使用阻燃型电阻。

并根据输入差模雷击测试要求选取绕线类型的电阻。避免使用金属膜或碳膜电阻，因为VAC_{MAX}反复施加至电源时的浪涌电流很容易造成这类电阻损坏。

在使用了Y电容的设计中，将EMI滤波器的电感放置在连接Y电容输入侧的另一侧。例如，将输入电感(L_{IN1})放置在输入电容(C_{IN1}和C_{IN2})的负极之间，其中Y电容连接至DC总线的一端（见图33）。

传导EMI滤波由L_{IN1}和L_{IN2}提供，它们与C_{IN1}和C_{IN2}共同形成一个π型滤波器。单电感适用于输出功率低于3 W的设计，或者EMI是通过电源悬空（即没有连接至安全接地端）输出进行测量的设计。尽管3 W以上的设计通常需要使用两个电感，但一个磁珠可能就足够了，特别是电源输出是悬空的设计。

通常，总输入电容量是在两个输入电容(C_{IN1}和C_{IN2})之间进行平分的。但为了降低成本，可能会使用两个不同的电容量值。在这种情况下，C_{IN1}的取值应≥1 μF（或根据需要取值），防止电容在差模浪涌期间出现过压。选择第二个电容量值C_{IN2}，使两个电容的总容量(C_{IN1} + C_{IN2})满足2.5 μF/W（输出功率），对于通用输入电压设计应满足3 μF/W（输出功率），以达到最高的低输入电压效率。

生成差模EMI是C_{IN2}的等效串联阻抗(ESR)的重要功能，因为此电容用于提供初级开关电流。为C_{IN2}选择一个较C_{IN1}低的ESR电容串联，有助于降低差模（低频率）传导EMI，同时还可优化这两个电容的总体成本。

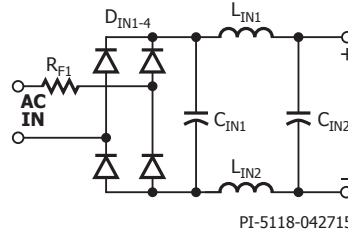
表8所示为输入滤波器的电路图，给出了选择C_{IN1} + C_{IN2}的公式，并说明了在其他输入电压范围内如何选择输入电容的容量。

第7步 – 旁路引脚电容、偏置绕组及反馈元件的选择

使用一个额定电压大于7 V的1 μF旁路引脚电容（图16中的C7）。电容的物理位置必须靠近LinkSwitch-3旁路引脚。

偏置绕组元件

使用LNK64X7和LNK64X8时必须添加偏置绕组，因为内部分流输出电流不足以在满载时提供必需的IC电流。偏置绕组对于LNK64x4至LNK64x6的器件是可选配置。添加偏置电路可以将空载输入功耗从~200 mW降低到30 mW以下。这样可以大大提高轻载条件下的效率，从而允许使用较低成本的选件，同时仍能满足平均效率要求。PN结型输出二极管可以替代较高成本的肖特基势垒二极管，或可以换用以较小直径的导线制成的电缆（提高阻抗）。



PI-5118-042715

R _{F1} :	8.2 Ω, 1 W, 可熔断, 防火
L _{IN1} :	470 μH – 2.2 mH, 0.05 A – 0.3 A
L _{IN2} :	磁珠或470 μH – 2.2 mH, 0.05 A – 0.3 A
C _{IN1} + C _{IN2} :	≥ 2.5 μF/W _{OUT} , 400 V, 85 VAC - 265 VAC
	: ≥ 2.5 μF/W _{OUT} , 200 V, 100 VAC - 115 VAC
	: ≥ 1 μF/W _{OUT} , 400 V, 185 VAC - 265 VAC
D _{INX} :	1N4007, 1 A, 1000 V

表8. 输入级建议

图16中的电源设计中使用了偏置电路。二极管D3、电容C8和电阻R8形成偏置电路。如果反馈绕组电压（设计表格中的V_{FLY}）>10 V，则不需要为偏置绕组添加额外的绕组。偏置绕组与反馈绕组共用绕组。如果输出电压低于9 V，需要另外添加变压器绕组，AC叠加在反馈绕组顶部。这样即使在空载模式下以低开频率工作时，也可以有足够高的电压为旁路引脚供电。

图17所示为添加的偏置绕组（从引脚3到引脚2）叠加在反馈绕组（从引脚4到引脚3）顶部的示例。二极管D3对输出进行整流，C8为滤波电容。建议使用一个10 μF电容，用于维持空载时低频率工作期间的偏置电压。电容类型并不重要，但其电压额定值必须高于V_{BIAS}的最大值。流入旁路引脚的推荐电流等于IC供电电流（~0.48 mA到0.7 mA，取决于大小）。R8的值根据下式计算得出：

$$(V_{BIAS} - V_{BP}) / I_{S2}$$

其中，V_{BIAS}（典型值10 V）为C8的电压，I_{S2}（典型值0.48 mA到0.7 mA，取决于大小）为IC供电电流，V_{BP}（典型值6.4 V）为旁路引脚电压。参数I_{S2}和V_{BP}在LinkSwitch-3数据手册的参数表中有提供。在最高偏置绕组电压下（通常为完全加载输出电压时），旁路引脚电流不应超过10 mA。使用固定的假负载电阻时，如果偏置绕组中的电阻(R8)发生变化，空载功耗也会相应发生变化。R8电阻取较小值时，将导致空载功耗增大，因为它会导致偏置能耗在空载时增大。同时必须避免R8电阻值过小，因为这会减小主输出与偏置绕组在空载时的能耗比，从而可能降低输出电压的稳定性。

二极管D3可以是低成本二极管，比如FR102、1N4148或BAV19/20/21。二极管电压应力在设计表格中的偏置绕组参数部分给出。

反馈引脚电阻值，初始值

电阻 R_{UPPER} 和 R_{LOWER} 组成一个电阻分压器网络，用于设定反馈(FB)引脚在内部MOSFET导通和关断期间的电压。

在恒压工作期间，控制器使用ON/OFF状态调节器调整输出电压，使其维持在 V_{FBth} 。在内部MOSFET关断 $2.5\ \mu\text{s}$ 后对反馈引脚电压进行采样。轻载条件下，还会降低电流限流点，以降低变压器磁通密度，并使反馈引脚电压采样提前 $2.5\ \mu\text{s}$ 完成。

在恒流工作期间，反馈引脚电压发生变化时，会对开关频率进行调节，以提供恒流输出调节。

在MOSFET导通期间，反馈引脚电压用于监测DC输入电压，进而降低整个输入电压范围内的恒流变化。

R_{UPPER} 和 R_{LOWER} 的初始值在单元格[D43]和[D44]中提供，用于初始原型构建。原型构建完毕后，按照下述微调步骤对其进行测试，以确定最终的电阻值。为达到最佳效果，请使用最接近的1%值。将 R_{UPPER} 和 R_{LOWER} 放置到尽可能接近反馈引脚的位置。

微调

制作好电源原型后，将微调值输入设计数据表(图12)中的微调部分。在单元格[D101]和[D102]中分别输入用于反馈电阻 R_{UPPER} 和 R_{LOWER} 的实际值；在单元格[D103]和[D104]中分别输入在峰值输出功率下测量的电源输出电压和电流值。PIXIs数据表格将计算出 $R_{UPPER(FINE)}$ 和 $R_{LOWER(FINE)}$ 的精确反馈电阻值，以确定输出电压与电流的中心点。

第8步 – 输出二极管及假负载的选择

输出整流二极管应选择快速或超快速恢复PN结型或肖特基势垒型。

选择对指定的额定电压值(V_R)有足够裕量的二极管。通常 $V_R \geq 1.2 \times PIVS$ ，其中PIVS可以从设计表格的电压应力参数部分得到。制作好原型后，使用示波器测量在 VAC_{MAX} 情况下的实际二极管应力。

选择额定值最接近 $I_D \geq 2 \times I_O$ 的二极管，其中 I_D 为二极管的额定电流， I_O 为输出电流。考虑到二极管自身产生的热量，可根据需要选用较大的二极管，以满足散热或效率要求。表9列出了LinkSwitch-3设计中可能会采用的适合的肖特基及超快恢复二极管类型。

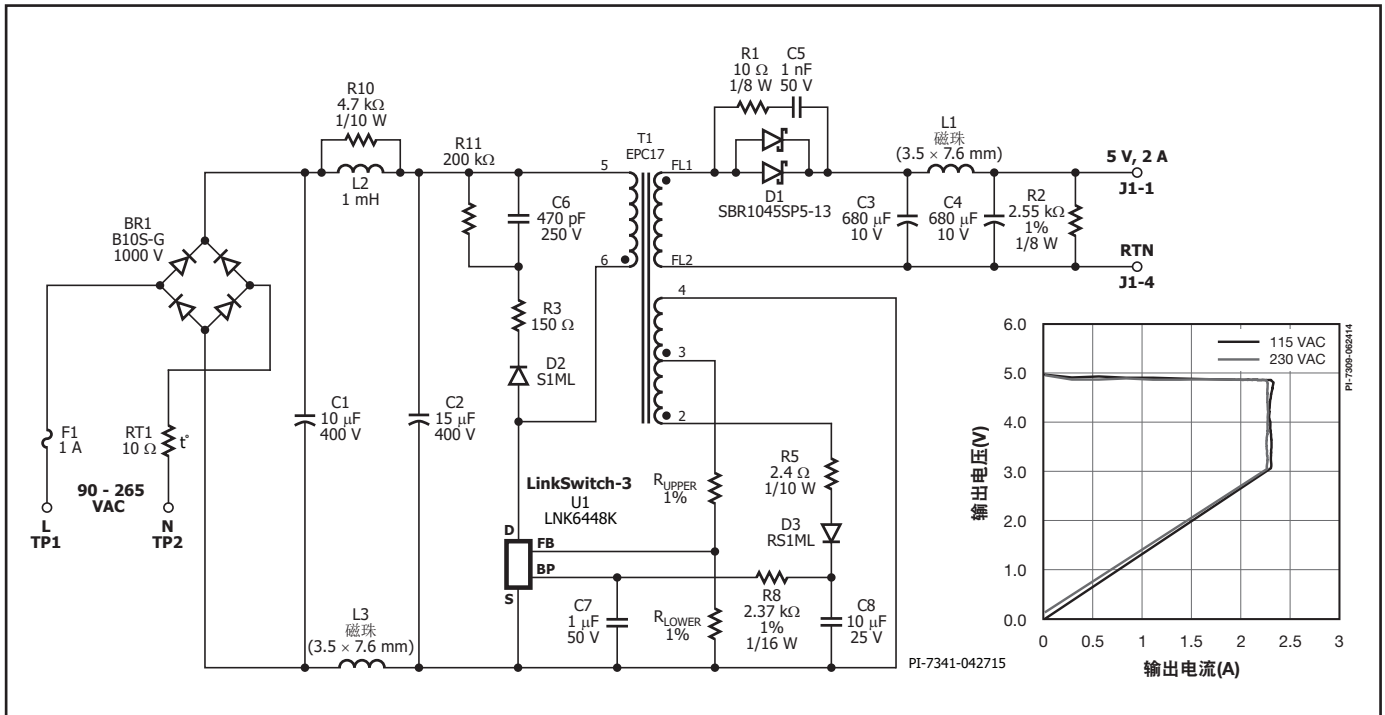


图17. 高效USB充电器电源(平均效率为78%，空载输入功率<30 mW)(偏置绕组为AC叠加式结构，在反馈绕组上方)

序列号	类型	反向耐压范围	I_F	封装	生产厂商
		V	A		
1N5817至1N5819	肖特基	20-40	1	引脚	Vishay
SB120至SB1100	肖特基	20-100	1	引脚	Vishay
11DQ50至11DQ60	肖特基	50-60	1	引脚	Vishay
1N5820至1N5822	肖特基	20-40	3	引脚	Vishay
MBR320至MBR360	肖特基	20-60	3	引脚	Vishay
SB320至SB360	肖特基	20-60	3	引脚	Vishay
SB520至SB560	肖特基	20-60	5	引脚	Vishay
MBR1045	肖特基	35/45	10	引脚	Vishay
UF4002至UF4006	超快速	100-600	1	引脚	Vishay
UF5401至UF5408	超快速	100-800	3	引脚	Vishay
MUR820至MUR860	超快速	200-600	8	引脚	Vishay
BYW29-50至BYW29-300	超快速	50-200	8	带引线/SMD	Vishay
ESA1A至ES1D	超快速	50-200	1	SMD	Vishay
ES2A至ES2D	超快速	50-200	2	SMD	Vishay
SL12至SL23	肖特基 (低 V_F)	20-30	1	SMD	Vishay
SL22至SL23	肖特基 (低 V_F)	20-30	2	SMD	Vishay
SL42至SL44	肖特基 (低 V_F)	20-30	4	SMD	Vishay
SBR1045SD1	肖特基 (低 V_F)	45	10	引脚	二极管
SL42至SL4	肖特基 (低 V_F)	20-30	4	SMD	Vishay
SBR1045SP5	肖特基 (低 V_F)	45	10	SMD	二极管

表9. 可用于LinkSwitch-3设计的推荐二极管列表

当在开关频率下对输出电压进行采样时，空载时将保持最小开关频率，以提供可接受的动态负载性能。在此最小开关频率和最小漏电流限值下，LinkSwitch-3将始终向电源输出端处理最小的功率，这种所处理的最小功率等于

$$1/2 \times L_P \times (I_{PK}^2) \times f_{MIN}$$

其中， L_P 为初级电感量， I_{PKMIN} 为最小电流限值， f_{MIN} 为最小开关频率。

这一最小能量必须在假负载电阻、箝位电路和偏置绕组电路中耗散。如果假负载电阻、箝位电路和偏置绕组电路中的总能耗小于计算得出的最小能量，输出电压将升高，以平衡传输至输出过量能量。因此，需要正确选择假负载电阻，以防止输出电压在极轻负载或空载下升高。

对于在零负载时必须保持输出电压稳压的设计，刚开始选择的电阻值应能代表在额定输出电压下大约25 mW的负载值。例如，对于5 V的输

出，应使用1 kΩ的假负载电阻值。对于在空载条件下输出电压会上升的设计，应选择假负载电阻值，以将输出电压控制在最大输出电压规格范围内。

由于假负载电阻同时也会增大空载功耗，在规格表中允许的情况下，选取其电阻值时要综合考虑空载输入功率及空载输出电压是否满足要求。

步骤9 – 选择输出电容和可选后级滤波器

选择电容电压应 $\geq 1.2 \times V_{O(MAX)}$ 。

使用以下最大允许的等效串联阻抗(ESR)表达式来选择初始电容的值：

$$ESR_{MAX} = \frac{V_{RIPPLE(MAX)}}{I_{SP}}$$

其中， $V_{RIPPLE(MAX)}$ 是最大允许的输出纹波和噪声； I_{SP} 是从设计数据表格的“变压器次级参数”部分得到的次级峰值电流。

常见初级箝位配置

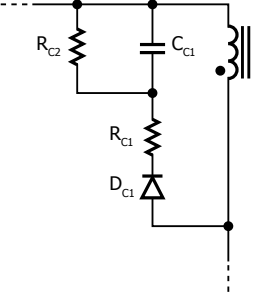
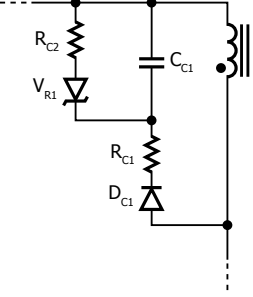
RCD	RCDZ (齐纳稳压管泄放)
 <p style="text-align: center;">PI-5107-042715</p>	 <p style="text-align: center;">PI-7330-042715</p>
<p>D_{C1}: 1N4007G / FR107, 1 A, 1000 V</p> <p>R_{C1}: 100 Ω - 300 Ω, 1/4 W</p> <p>C_{C1}: 470 pF - 1000 pF</p> <p>R_{C2}: 330 kΩ - 680 kΩ, 1/2 W</p>	<p>D_{C1}: 1N4007G / FR107, 1 A, 1000 V</p> <p>V_{R1}: BZY97Cxxx (xxx = 1.1至1.2 $\times V_{OR}$)</p> <p>R_{C1}: 100 Ω - 300 Ω, 1/4 W</p> <p>R_{C2}: 5 kΩ - 100 kΩ, 1/2 W</p> <p>C_{C1}: 470 pF - 1000 pF</p>

图18. 适合LinkSwitch-3设计的初级箝位配置

绝对最小电容容量（不受ESR影响）由以下表达式计算得出：

$$C_{OUT(MIN)} = \frac{I_{O(MAX)} \left(\frac{1}{F_S} - D_{CON} \right)}{V_{RIPPLE(MAX)}}$$

其中， $I_{O(MAX)}$ 是最大输出电流； F_S 是开关频率； D_{CON} 是输出二极管导通时间； $V_{RIPPLE(MAX)}$ 是最大允许输出纹波电压。确认电容的纹波电流额定值 I_{RIPPLE} 值（从设计数据表“变压器次级参数”部分获得该值）。如果小于 I_{RIPPLE} 值，请选择符合该要求的最小电容值。当电容的工作温度低于其数据手册规定的最大值时，很多厂家会提供纹波电流的增加系数。这样用户可以利用这些信息，确保没有选用过大的电容尺寸。

要减少输出电容的物理尺寸，可以使用一个输出LC后级滤波器来降低由与ESR引起的开关纹波。此时，选择一个1 μ H至3.3 μ H的电感，并且其电流额定值 $\geq I_O$ ，或者为 $I_O \sim 500$ mA的设计选择磁珠。次级侧电容通常为100 μ F或220 μ F，并且ESR较低，具有良好的动态响应。次级侧纹波电流不会经过此电容，因此对ESR或纹波电流无特别要求。

第10步 – 初级箝位元件的选择

表18中所示的两种箝位布局适合于LinkSwitch-3设计。降低 C_{C1} 的值并增大 R_{C2} 的值，同时应将峰值漏极电压保持在 <680 V。如果 C_{C1} 的值较大，

则箝位电压（影响反馈绕组采样电压）的稳定时间会更长，从而可能导致更高的输出纹波电压。

对于RCD设计，470 pF电容选取200 k Ω 的电阻值是建议起点。确认在所有输入电压及负载条件下峰值漏极电压均小于680 V。

当漏感大于125 μ H时最适合采用RCDZ电路，以便降低反馈绕组中产生的漏极电压过冲和/或振荡。

为实现最佳输出调节，关断初级MOSFET 2.1 μ s后反馈电压必须稳定到1%的范围内。

这就需要认真选择箝位电路元件。

V_{R1} 的电压选择范围在高于 V_{OR} 10%到20%之间。这样在关断时箝位可以限制漏极电压尖峰的幅值，同时又能在输出二极管导通时防止齐纳二极管在反激期间发生导通。 R_{C2} 的值应为最大值，以便设定出可接受的反馈引脚电压和峰值漏极电压。 R_{C2} 值过大会延长 C_{C1} 的放电时间、增加峰值漏极电压以及降低调节性能。

电阻 R_{C1} 用来衰减高频率漏感振铃，从而降低EMI。该值必须足够大才能在所需的时间内衰减振荡，但也不能过大，因为这样会使漏极电压超过680 V。

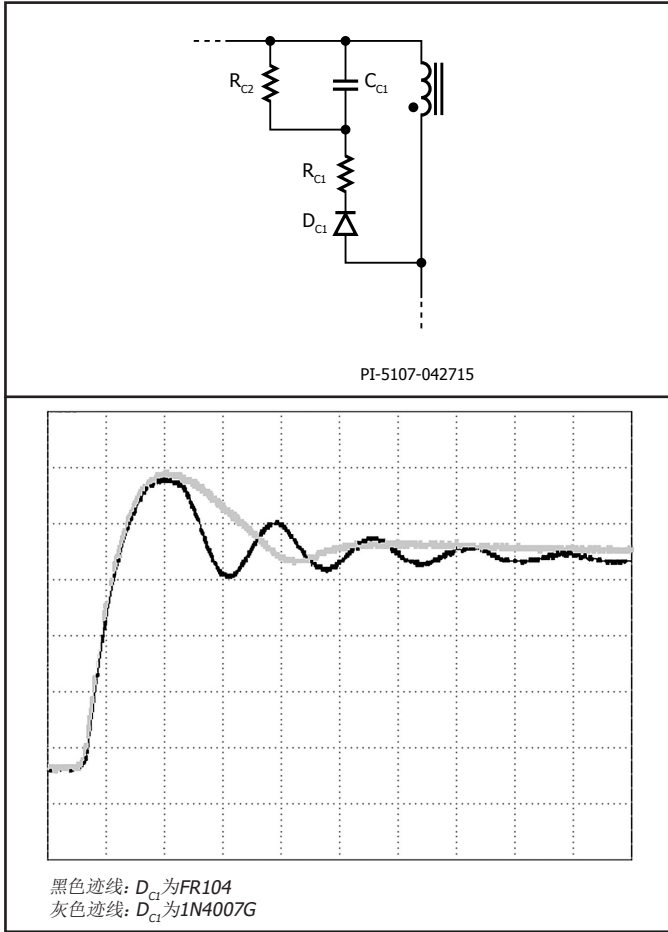


图19. 反馈引脚电压的箝位二极管恢复时间之影响

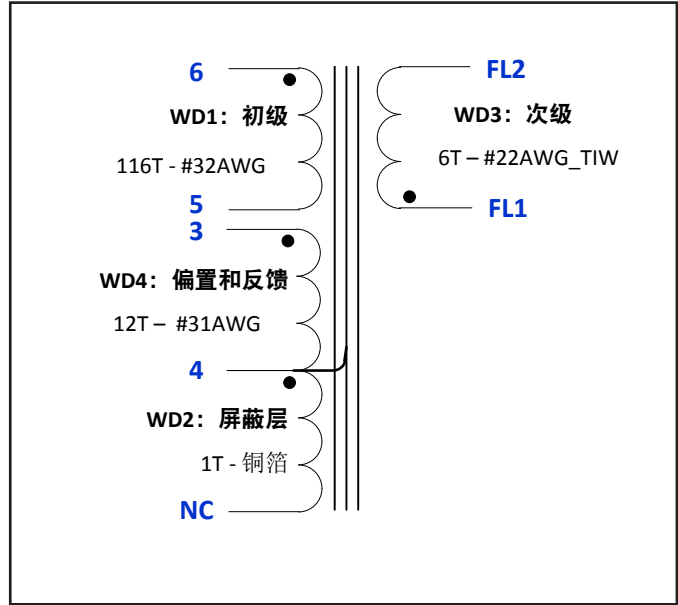


图20. 带铜箔屏蔽层的典型变压器

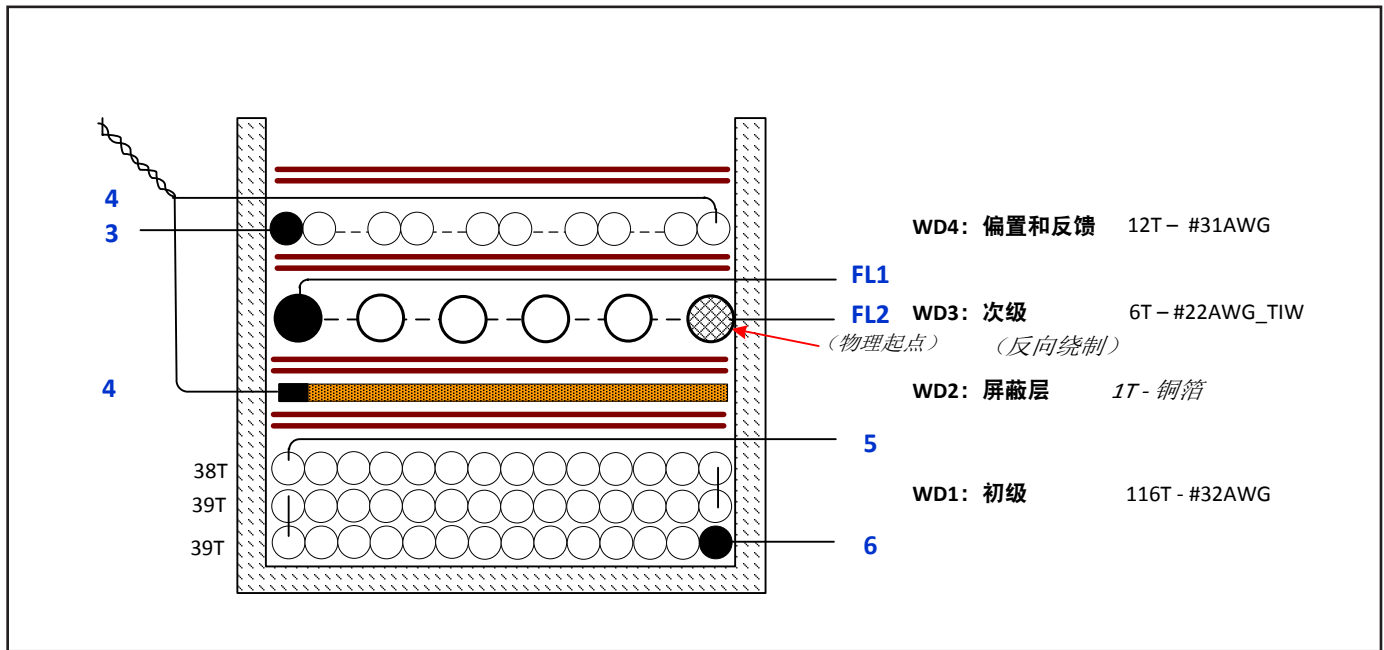


图21. 带铜箔屏蔽层的LinkSwitch-3变压器的典型绕制结构

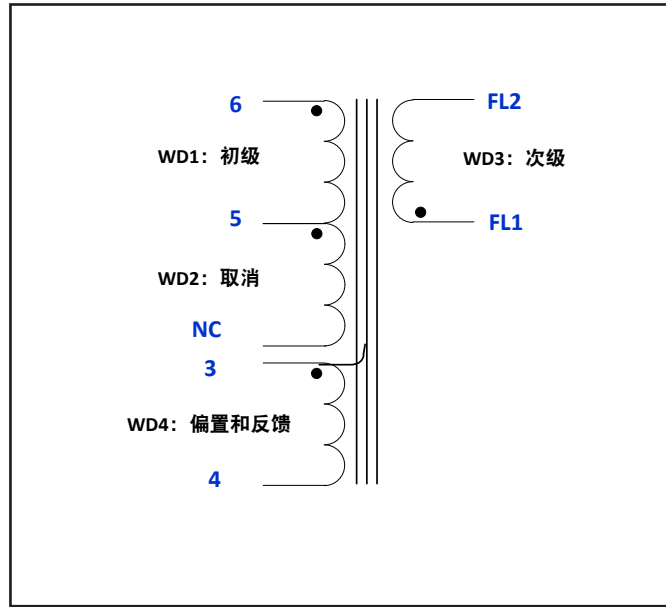


图22. 带屏蔽绕组的典型变压器

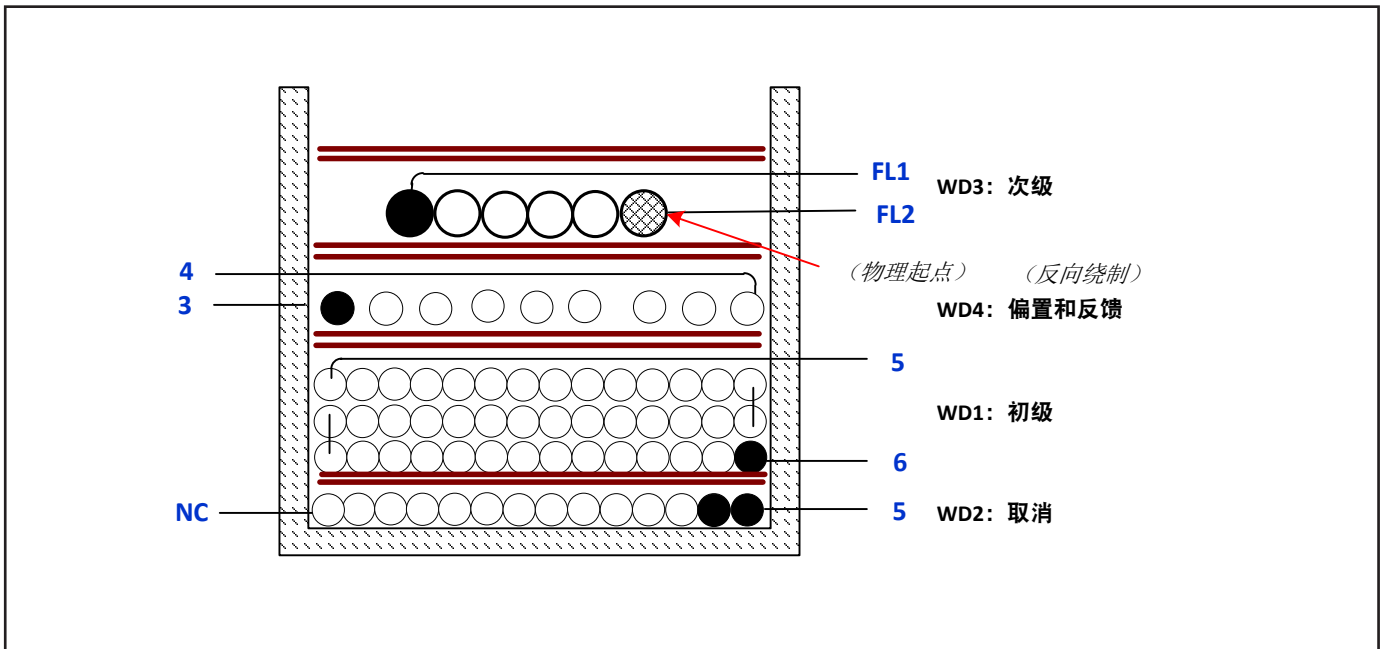


图23. 带屏蔽绕组的LinkSwitch-3变压器的典型绕制结构

如果初级漏感小于 $125 \mu\text{H}$ ，可以省去 V_{r1} 并增大 R_{c2} 的值。 820 pF 电容选取 $470 \text{ k}\Omega$ 的电阻值是建议起点。确认在所有输入电压及负载条件下峰值漏极电压均小于 680 V 。确认反馈绕组稳定在可接受的限度内，以实现良好的输入电压及负载调节。

箝位电路中快速二极管与慢速二极管的影响之比较

慢速反向恢复二极管($>1 \mu\text{s}$)可减小反馈电压振荡和改善输出稳压。使用快速二极管(500 ns)会增大振荡幅度，从而引起输出纹波的增加。从图19中可以看出，使用FR104二极管时所出现的较大振荡幅度表示，在 $2.5 \mu\text{s}$ 至 $3.1 \mu\text{s}$ 时间段内的采样电压存在高达8%的误差。

采用E-Shields™的变压器绕组布局实例

完成PIXIs设计表格后，即可获得创建变压器设计所需的所有信息。本部分列出有关绕组顺序以及应用Power Integrations E-Shield专利技术的一些实用设计技巧。采用屏蔽绕组，不仅可省去共模扼流圈，而且可降低初级侧和次级侧之间连接的Y级电容的值，甚至无需Y级电容，从而提高传导EMI性能并简化输入滤波级。参见图20、21、22和23以了解基准绕组编号(WDx)。

铜箔屏蔽层

铜箔屏蔽层(WD2)位于图12变压器设计中的初级绕组与次级绕组之间，它可以防止初级侧噪声并降低电源的传导发射水平。带铜箔屏蔽层的变压器具有高度一致的EMI性能。

屏蔽绕组

一种成本较低的屏蔽方法是使用E-Shield技术。在图23中，变压器的第一层是取消屏蔽绕组(WD2)。从PIXIs获得初级绕组圈数 N_p [D74]，然后除以层数 L [D56]，得出圈数。将得出的圈数再除以2 ($N_{\text{SHIELD}} = 0.5 \times (N_p/L)$)。将得出一个起始值，可能需要对该值进行调整，以降低传导EMI干扰。屏蔽绕组的末端是悬空的。选择与骨架宽度完全吻合的线规。

初级绕组

第二个绕组(WD21)是初级侧。从PIXIs中分别找到绕组圈数 N_p [D74]、层数 L [E56]以及线规AWG [D86]。如图23所示，初级侧的起始处是MOSFET的漏极节点。可选用1 mm的胶带，通过降低变压器设计对制造差异的敏感性来改善EMI的可重复性。要将胶带宽度计算在内，请将1 mm的宽度值输入PIXIs设计表的[B55]单元格中。

反馈绕组和偏置绕组

从PIXIs找到圈数 N_{FB} [D30]。要降低传导EMI干扰，此绕组必须完全覆盖骨架宽度。采用多股并绕绕组可实现上述目的，不过要想获得最佳线规和并绕股数（并绕股数），可能还需进行一些试验。出于可制造性方面的考虑，一般建议并绕股数不超过4股，因为多股并绕绕组是同时连接在单个骨架引脚上的。

次级绕组

从PIXIs找到次级绕组圈数[D57]。在骨架一侧开始次级侧绕组，与反馈绕组的起始处在同一侧。选择与骨架绕组窗口宽度完全吻合的线规。建议次级绕组使用三层绝缘线，这样就无需使用胶带挡墙即可符合安全间距要求（通常为6 mm到6.2 mm），还可减小所需的变压器磁芯尺寸。

设计技巧

反射输出电压(V_{OR})调整

使用Power Integrations其他器件系列的设计数据表的用户可能会注意到这样一个问题：一些参数（ V_{OR} 、 N_s 和 N_p ）无法在LinkSwitch-3数据表中直接更改。要更改这些参数，请使用如下所列的关系：

V_{OR} ：增大 D_{CON} 或 F_s 将会减小 V_{OR} 值

N_s ：增大 D_{CON} 值将会增大 N_s

N_p ：由 $B_{\text{M(TARGET)}}$ 确定

恒压调整

在恒压工作期间，反馈引脚电压(V_{FBth})的严格公差和小温度系数(TC_{VFB})可以提供严格的输出电压调整。

优化输出电压在零负载和满载时的差异时，有两个主要因素必须考虑：

1. 空载压升。
2. 输出线压降补偿。

对于空载压升，有多个因素与该输出电压升高相关：假负载电阻的选择（参见“第8步 - 输出二极管及假负载的选择”）；偏置绕组中的电阻 R_8 （图16）（ R_8 值过低可能会导致空载下输出压升过大）；开关频率较低而初级电感量较高的变压器设计（最终会增加主输出的空载能耗）。

对于输出电缆补偿，LinkSwitch-3提供输出电缆补偿选项；输出电缆补偿的量由器件零件编号中的第三个数字确定。要求的补偿基于输出线的电阻大小，其中还包括连接器电阻，不仅仅是输出线本身。例如，如果输出线电阻为150 m Ω ，满载时的电压降（例如，5 V和2 A）为 $0.15 \Omega \times 2 \text{ A} = 0.3 \text{ V}$ ，那么应选择6%的输出线补偿部分来补偿 $5 \text{ V} \times 6\% = 0.3 \text{ V}$ 电压降。图24所示为具有不同输出线压降补偿性能的输出线的末端的输出电压，在过补偿或欠补偿时必须优化输出线压降补偿。

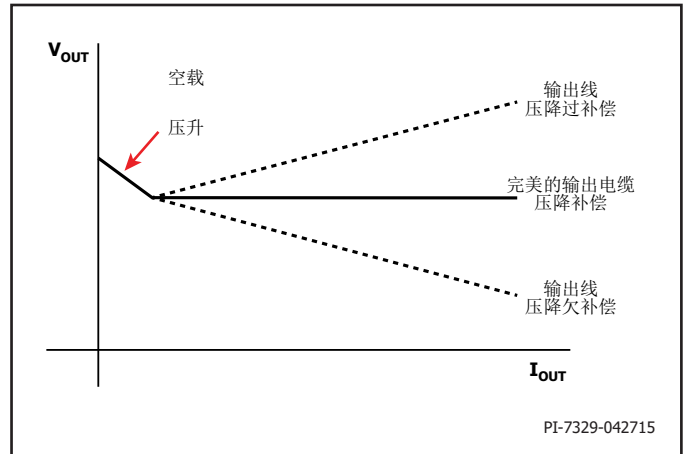


图24. 在输出线末端测得的CV调整输出电压

恒压及恒流精度控制

在0 °C至100 °C的结温范围内，LinkSwitch-3能够在恒压工作下对输出电压提供 $\pm 5\%$ 的输出整体公差（包括输入电压、元件变化和温度），在恒流工作下可提供 $\pm 10\%$ 的输出电流公差。

调整恒压水平和保持恒流水平恒定的方法是，调整反馈引脚电阻 $R_{\text{UPPER}}/R_{\text{LOWER}}$ 的比值，并按比例增大和减小输出功率。图25显示了恒压调整率随着 $R_{\text{UPPER}}/R_{\text{LOWER}}$ 比值的变化的变化。调整恒流水平的方法是，使 $R_{\text{UPPER}}/R_{\text{LOWER}}$ 的比值保持恒定，同时增大或减小 R_{UPPER} 和 R_{LOWER} 。恒压调整率不受影响，但恒流水平会减小或增大。图26显示了使 $R_{\text{UPPER}}/R_{\text{LOWER}}$ 的比值保持恒定，同时增大或减小 R_{UPPER} 和 R_{LOWER} 时，恒流水平的变化情况。建议测试至少30个样板，选择出有利于保持恒压调整和恒流水平的更优的反馈引脚电阻。

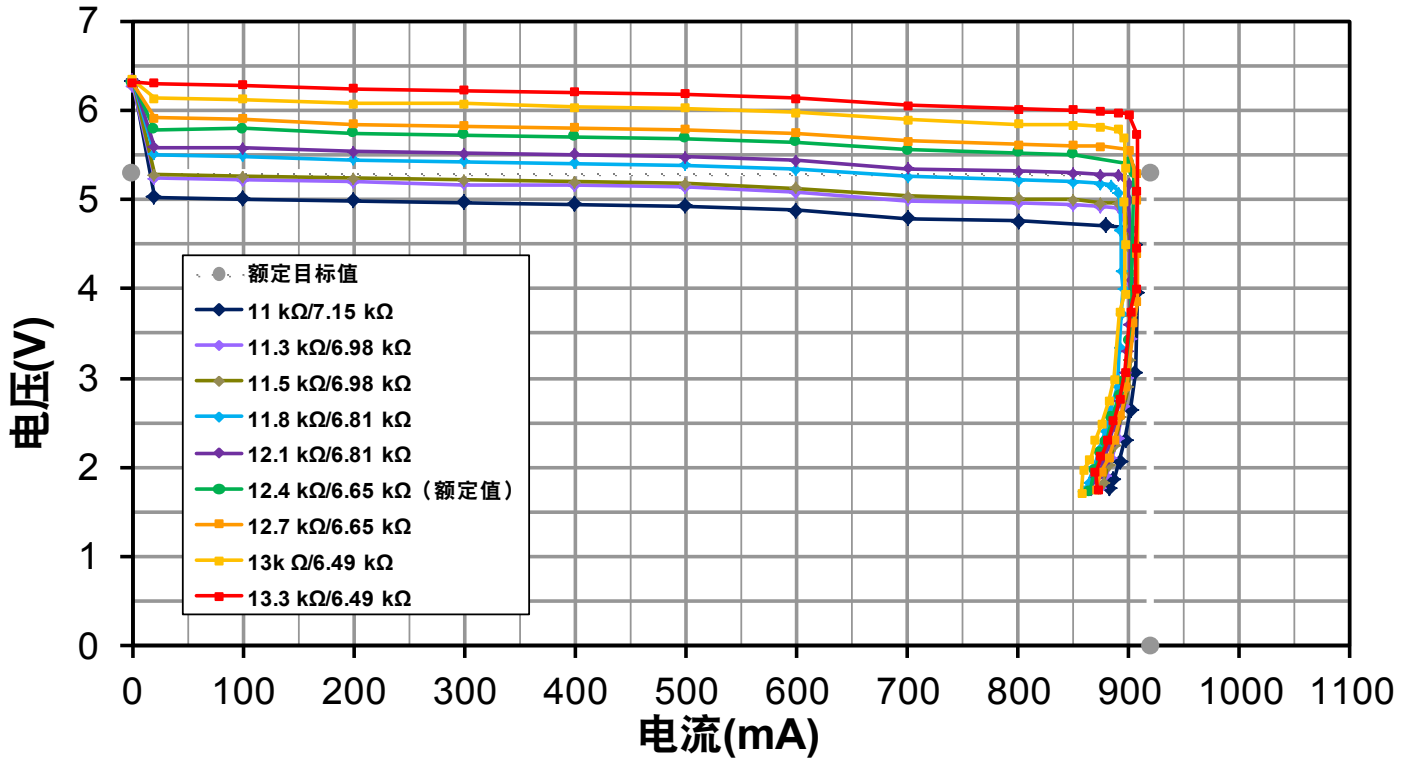


图25. 通过调整 R_{UPPER}/R_{LOWER} 比值并按比例增大/减小输出功率以保持恒定恒流的CC/CV精度控制示例

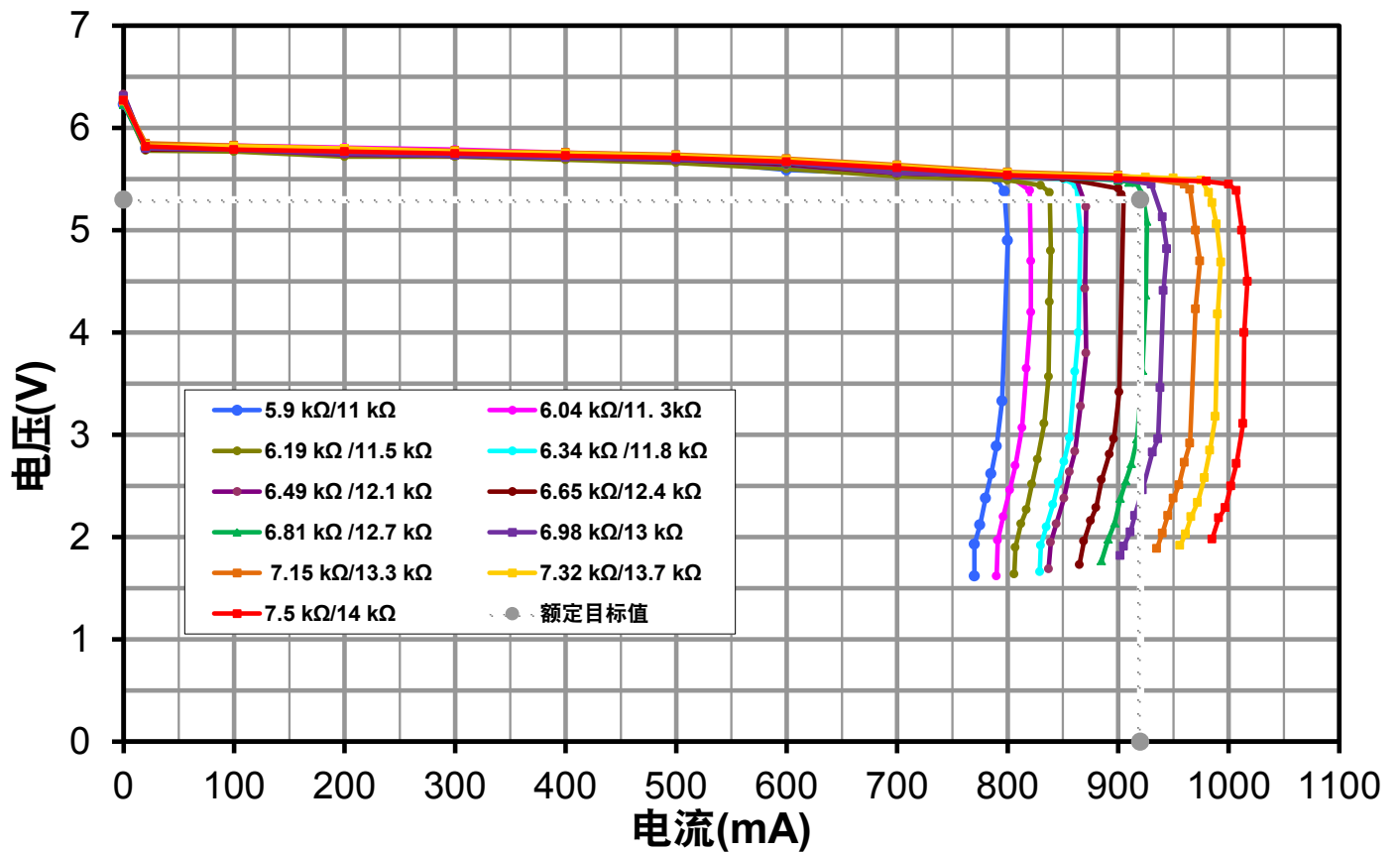


图26. 通过调整反馈引脚电阻 (R_{UPPER} 和 R_{LOWER}) 并使 R_{UPPER}/R_{LOWER} 比值保持恒定的CC/CV精度控制示例

负载动态响应

LinkSwitch-3是初级侧控制IC。每次提供单脉冲时，反馈由变压器偏置绕组生成。IC没有关于两个连续脉冲之间的输出状态的信息。电源在最差情况下的反应时间为 $1/F_{SW(MIN)}$ ，因此动态响应与最小开关频率成函数关系。如图27所示，最小动态电压由区域1和区域2构成。

区域1中的电压降由通过输出线电阻的电压降造成。

$$\Delta V_1 = I_{OUT} \times R_{CABLE}$$

其中， R_{CABLE} 是输出线电阻。

区域2中的电压降由输出电容放电造成。

$$\Delta V_2 = I_{OUT} \times (t_2 - t_1) / C_{OUT}$$

其中， C_{OUT} 是输出电容值， $1/(t_2 - t_1)$ 是最小开关频率。区域2中的电压降与输出电容和开关频率成函数关系。增大输出电容可改善动态负载期间的欠冲电压，通过减小假负载电阻来增大开关频率也有助于改善欠冲电压。减小假负载电阻可增加空载功耗，这一点应注意。

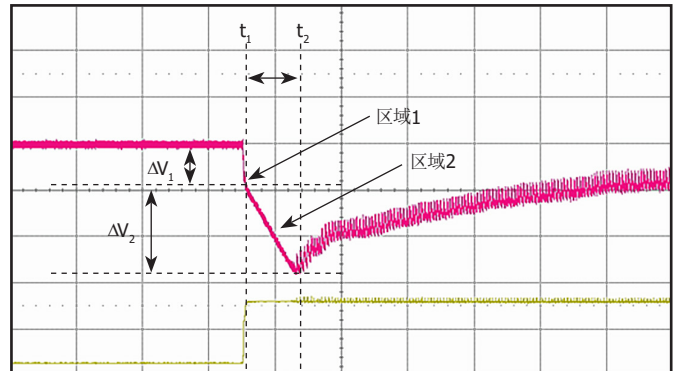


图27. 输出线末端的输出电压和负载电流

设计建议

电路板布局

LinkSwitch-3采用高度集成的电源解决方案，将控制器和高压MOSFET同时集成到单晶片上。大开关电流、高开关电压以及模拟信号的存在可以确保电源稳定、正常的工作，因此遵循出色的PCB设计做法显得尤为重要。参见图28和29了解LinkSwitch-3的推荐电路板布局。在设计LinkSwitch-3电源的印刷电路板时，请务必遵循以下指南：图30所示为不合理的布板设计范例。

单点接地

LinkSwitch-3源极引脚的输入滤波电容的负极端采用单点(Kelvin)连接到偏置绕组的回路。使浪涌电流从偏置绕组直接返回输入滤波电容，增强了浪涌的承受力。

旁路电容

旁路引脚电容应放置在距离源极引脚和旁路引脚最近的地方。

反馈电阻

直接将反馈电阻放在LinkSwitch-3器件的反馈引脚处。这样可以降低噪声耦合。

散热考虑

与源极引脚相连的铺铜区域为LinkSwitch-3提供散热。根据比较准确的估算，LinkSwitch-3将耗散10%的输出功率。预留足够的铺铜区域，可以使源极引脚温度保持在110 °C以下。在设计中，只有在输出电流(CC)容差高于±10%可以接受时，才能容许更高的温度。在本例中，建议最高

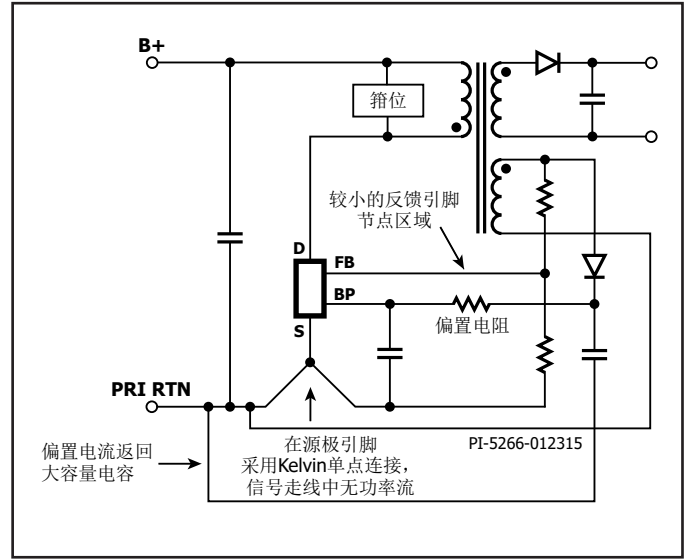


图28. 建议布局电路图示

源极引脚温度低于110 °C，以便为元件间的 $R_{DS(ON)}$ 变化提供裕量。应始终避开用于散热的较小的铺铜区域。

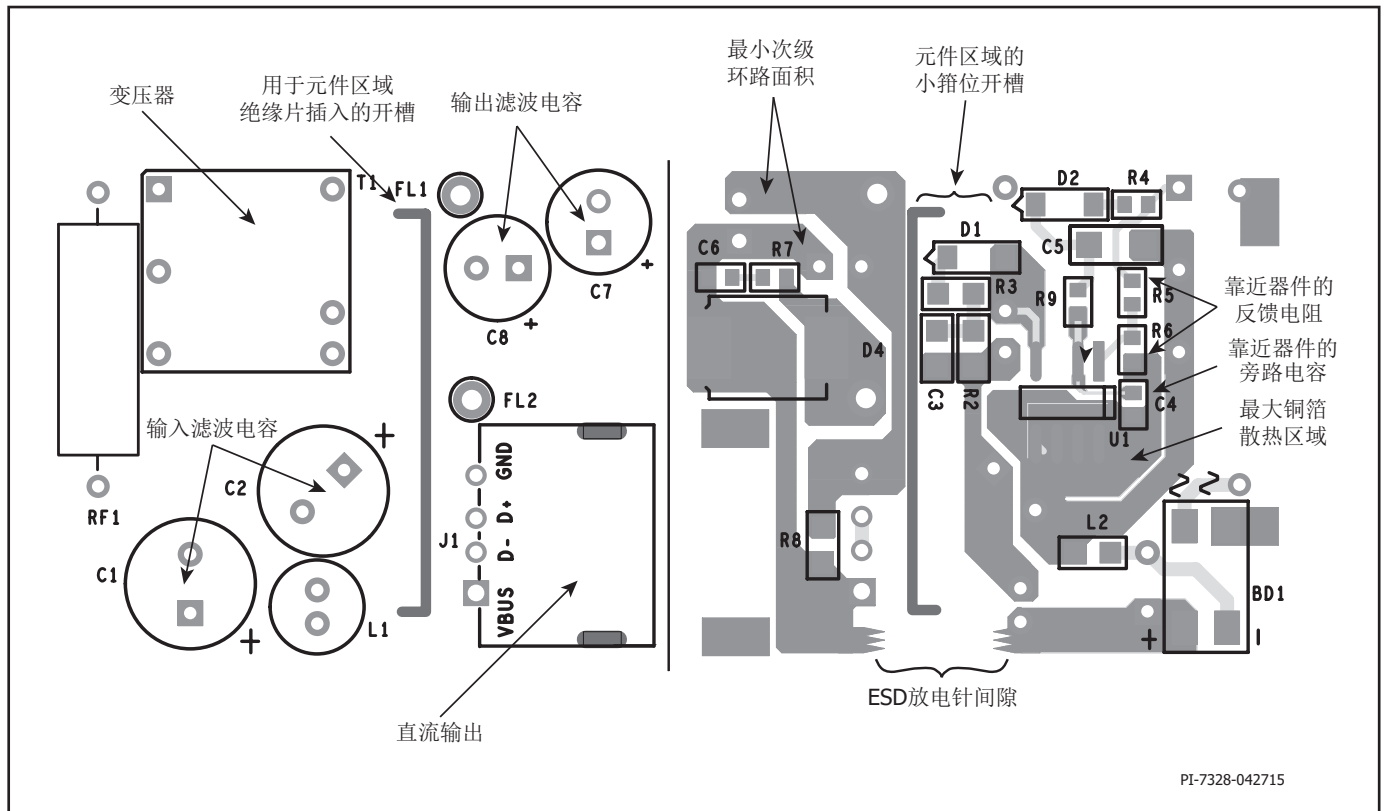


图29. PCB板（左侧为顶层）（右侧为底层）布局范例，使用P封装的10 W设计

次级环路面积

要最大程度上降低反射走线电感和EMI，连接次级绕组、输出二极管及输出滤波电容的环路区域面积应最小。此外，与二极管的阴极和阳极连接的铜铂区域面积应足够大，以便用来散热。在安静的阴极留有更大的铜铂区域。阳极铜铂区域过大会增加高频辐射EMI。

静电放电火花隙

沿着绝缘带有一条引线，用于形成火花隙的一个电极。次级侧的另一个电极由输出节点形成。火花隙直接将ESD能量从次级引回AC输入。从AC输入到火花隙电极的引线应与其它引线保持一定的间距，以免对其他节点引起不必要的电弧以及可能的电路损坏。

漏极箝位优化

LinkSwitch-3检测初级侧的反馈绕组来调节输出。当内部MOSFET关闭时，反馈绕组上的电压是次级绕组电压的反射。因此，漏感引起的任何振荡都会影响对输出的调节。优化漏极箝位以降低高频振荡，能够实现最佳调节性能。图31所示为要求的漏极电压波形。与图32相比，波形则因为漏感引起的振荡呈现较大下冲。此振荡及影响将降低输出电压调节性能。要减少此振荡（及其可能引起的下冲），可调节与箝位二极管并联的电阻（图16中的R3）的值。

快速设计校验

对于任何使用LinkSwitch-3的电源设计，都应经过全面测试以确保在最差条件下元件的规格没有超过规定范围。

建议至少进行如下测试：

1. 最大漏极电压 – 检验峰值 V_{DS} 在最高输入电压和最大输出功率时是否超过680 V。
2. 最大漏极电流 – 在最高环境温度、最高输入电压和最大输出负载情况下，观察启动时的漏极电流波形，检验是否出现变压器饱和的征兆和过多的前沿电流尖峰。LinkSwitch-3的前沿消隐时间为170 ns，可以防止接通周期过早地终止。
3. 热检查 – 在最大输出功率、最小和最大输入电压以及最高环境温度条件下，检验LinkSwitch-3、变压器、输出二极管和输出电容是否超过温度指标。应有足够的温度裕量以保证LinkSwitch-3不会因为零件与零件间 $R_{DS(ON)}$ 的差异而引起过热问题出现，参见数据手册中关于 $R_{DS(ON)}$ 的说明。要确保获得10%的恒流容差，建议最大源极引脚温度为110 °C。

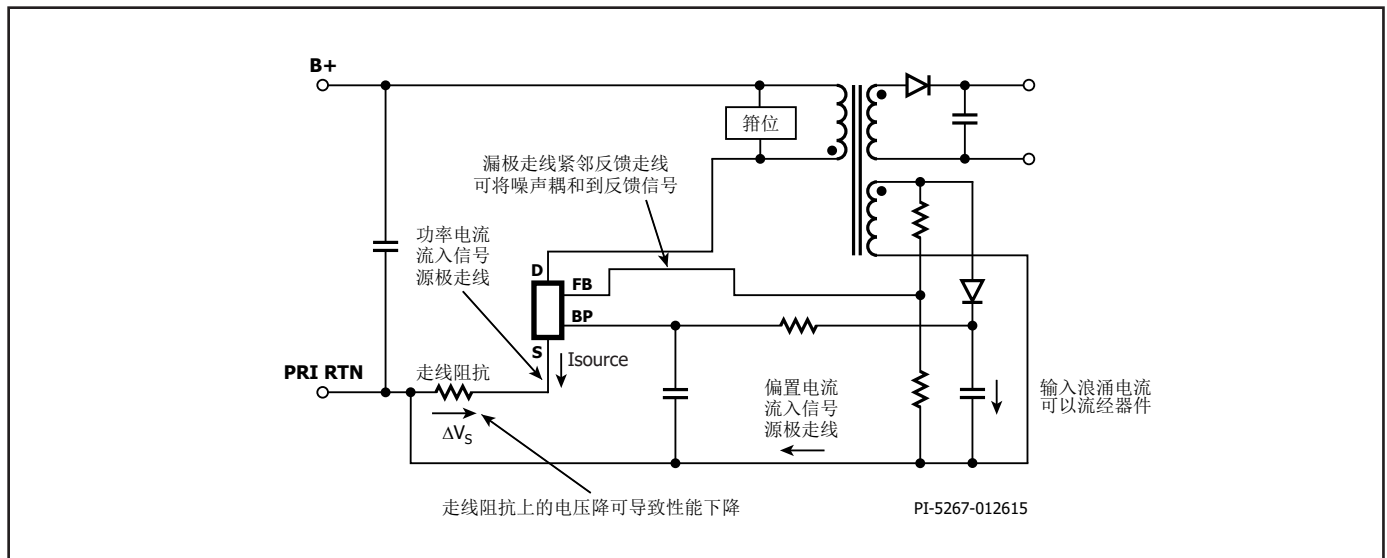


图30. 不合理布局所引起的电气影响的电路图示

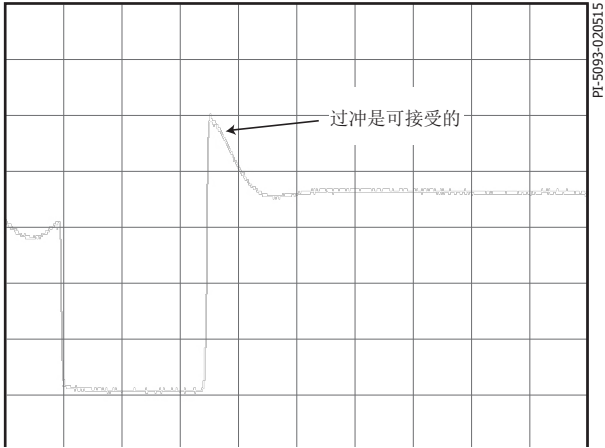


图31. 理想的漏极电压波形

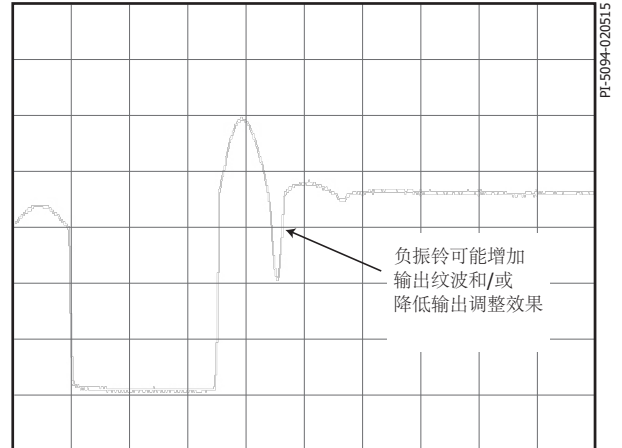


图32. 不理想的漏极电压波形

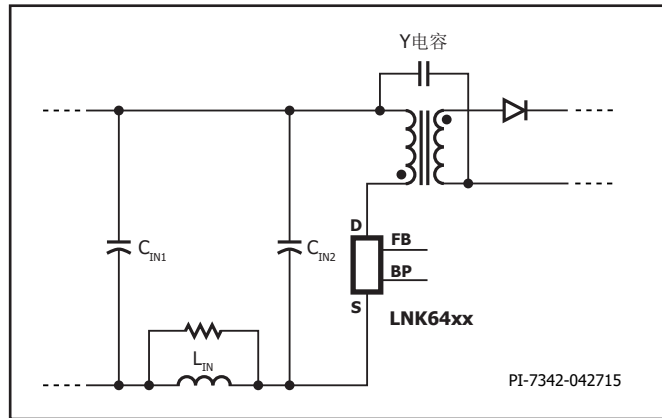


图33. 使用Y电容的输入电感器的正确位置

注释

修订版本	注释	日期
A	初始版本。	04/15
B	修订了多处文字。	04/19

有关最新产品信息，请访问：www.power.com

Power Integrations reserves the right to make changes to its products at any time to improve reliability or manufacturability. Power Integrations does not assume any liability arising from the use of any device or circuit described herein. POWER INTEGRATIONS MAKES NO WARRANTY HEREIN AND SPECIFICALLY DISCLAIMS ALL WARRANTIES INCLUDING, WITHOUT LIMITATION, THE IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, AND NON-INFRINGEMENT OF THIRD PARTY RIGHTS.

Patent Information

The products and applications illustrated herein (including transformer construction and circuits external to the products) may be covered by one or more U.S. and foreign patents, or potentially by pending U.S. and foreign patent applications assigned to Power Integrations. A complete list of Power Integrations patents may be found at www.power.com. Power Integrations grants its customers a license under certain patent rights as set forth at www.power.com/ip.htm.

Life Support Policy

POWER INTEGRATIONS PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF POWER INTEGRATIONS. As used herein:

1. A Life support device or system is one which, (i) is intended for surgical implant into the body, or (ii) supports or sustains life, and (iii) whose failure to perform, when properly used in accordance with instructions for use, can be reasonably expected to result in significant injury or death to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

Power Integrations, the Power Integrations logo, CAPZero, ChiPhy, CHY, DPA-Switch, EcoSmart, E-Shield, eSIP, eSOP, HiperPLC, HiperPFS, HiperTFS, InnoSwitch, Innovation in Power Conversion, InSOP, LinkSwitch, LinkZero, LYTSwitch, SENZero, TinySwitch, TOPSwitch, PI, PI Expert, SCALE, SCALE-1, SCALE-2, SCALE-3 and SCALE-iDriver, are trademarks of Power Integrations, Inc. Other trademarks are property of their respective companies. ©2019, Power Integrations, Inc.

Power Integrations全球销售支持网络

全球总部

5245 Hellyer Avenue
San Jose, CA 95138, USA
Main: +1-408-414-9200
Customer Service:
Worldwide: +1-65-635-64480
Americas: +1-408-414-9621
e-mail: usasales@power.com

中国（上海）

徐汇区漕溪北路88号圣爱广场
1601-1603室
上海|中国, 200030
电话: +86-21-6354-6323
电子邮箱: chinasales@power.com

中国（深圳）

南山区科技南八路二号豪威科技大厦
17层
深圳|中国, 518057
电话: +86-755-8672-8689
电子邮箱: chinasales@power.com

德国（AC-DC/LED业务销售）

Einsteinring 24
85609 Dornach/Aschheim
Germany
Tel: +49-89-5527-39100
e-mail: eurosales@power.com

德国（门极驱动器销售）

HellwegForum 1
59469 Ense
Germany
Tel: +49-2938-64-39990
e-mail: igbt-driver.sales@power.com

印度

#1, 14th Main Road
Vasanthanagar
Bangalore-560052 India
Phone: +91-80-4113-8020
e-mail: indiasales@power.com

意大利

Via Milanese 20, 3rd. Fl.
20099 Sesto San Giovanni (MI) Italy
Phone: +39-024-550-8701
e-mail: eurosales@power.com

日本

Yusen Shin-Yokohama 1-chome Bldg.
1-7-9, Shin-Yokohama, Kohoku-ku
Yokohama-shi,
Kanagawa 222-0033 Japan
Phone: +81-45-471-1021
e-mail: japansales@power.com

韩国

RM 602, 6FL
Korea City Air Terminal B/D, 159-6
Samsung-Dong, Kangnam-Gu,
Seoul, 135-728, Korea
Phone: +82-2-2016-6610
e-mail: koreasales@power.com

新加坡

51 Newton Road
#19-01/05 Goldhill Plaza
Singapore, 308900
Phone: +65-6358-2160
e-mail: singaporesales@power.com

中国台湾

5F, No. 318, Nei Hu Rd., Sec. 1
Nei Hu Dist.
Taipei 11493, Taiwan R.O.C.
Phone: +886-2-2659-4570
e-mail: taiwansales@power.com

英国

Building 5, Suite 21
The Westbrook Centre
Milton Road
Cambridge
CB4 1YG
Phone: +44 (0) 7823-557484
e-mail: eurosales@power.com