

LCS700-708 HiperLCS™ 제품군



LLC 컨트롤러, 고전압
파워 MOSFET 및 드라이버 내장

제품의 주요 특징

기능

- 컨트롤러, 하이 사이드 및 로우 사이드 게이트 드라이브 및 고전압 파워 MOSFET을 통합한 LLC 하프 브리지 파워단
 - 최대 30개의 외부 부품이 필요없음
- 1MHz의 높은 최대 동작 주파수
 - 최대 500kHz까지 정상 작동
 - 트랜스포머 크기를 대폭 줄이고 SMD 세라믹 출력 커패시터의 사용 가능
- 정확한 듀티 대칭이 출력 정류기 전류의 균형을 잡아 효율성 증대
 - 300kHz에서 일반적으로 50% ±0.3%
- 포괄적인 보호 기능 및 전류 제한
 - 프로그래밍 가능한 브라운인/브라운아웃 기준값 및 히스테리시스(Hysteresis)
 - 저전압(UV) 및 과전압(OV) 보호
 - 프로그래밍 가능한 과전류 보호(OCP)
 - 단락 보호(SCP)
 - 과열 보호(OTP)
- 최적화된 설계를 위해 프로그래밍 가능한 데드 타임
- 프로그래밍 가능한 버스트 모드가 무부하에서 레귤레이션을 유지하고 경부하 효율 개선
- 프로그래밍 가능한 소프트 스타트 시간 및 소프트 스타트 전 지연 시간
- 프로그래밍 가능한, 정확한 최소 및 최대 주파수 제한값
- 고전력 및 고주파수용으로 설계된 단일 패키지
 - 어셈블리 비용 및 PCB 레이아웃 루프 영역 감소
 - 단순한 클립형 히트 싱크 사용
 - 단순 PCB 라우팅 및 고전압 연면거리 요건에 적합한 지그 재그형 핀 배열
- HiperPFS PFC 제품과 함께 사용할 경우, 적은 수의 부품을 사용하면서도 완벽한 고효율의 PSU 솔루션 제공

애플리케이션

- 고효율 파워 서플라이(80 PLUS Silver, Gold 및 Platinum)
- LCD TV 파워 서플라이
- LED 가로등
- 프린터 파워 서플라이
- 오디오 앰플리파이어

설명

HiperLCS는 다기능 컨트롤러, 하이 사이드 및 로우 사이드 게이트 드라이버와 파워 MOSFET 2개를 하프 브리지 구성에 통합한 고정적 LLC 파워단입니다. 그림 1에서는, 트랜스포머에 LLC 공진 인덕터가 사용된 HiperLCS 기반 파워단의 단순화된 회로도를 보여줍니다.

가변 주파수 컨트롤러는 0 전압(ZVS)에서 파워 MOSFET을 스위칭하고 대부분의 스위칭 손실을 제거하여 효율성을 높입니다.

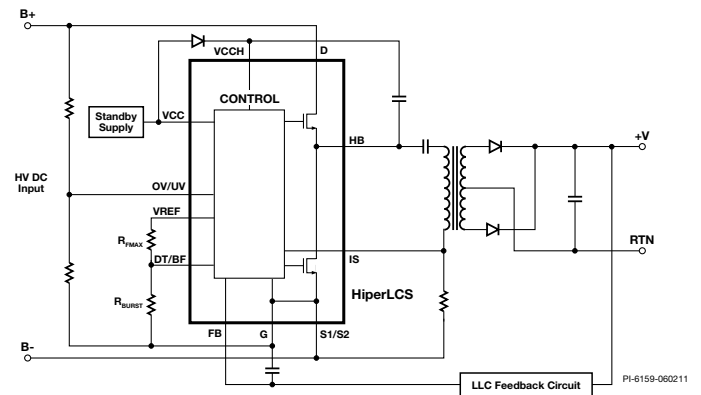


그림 1. 일반 애플리케이션 회로 - LCD TV 및 PC 메인 파워 서플라이.

출력 전력표

제품	최대 실제 전력 ¹
LCS700HG/LG	110W
LCS701HG/LG	170W
LCS702HG/LG	220W
LCS703HG/LG	275W
LCS705HG	350W
LCS708HG	440W

표 1. 출력 전력표.

참고:

- 최대 실제 전력은 부품이 히트싱크에 올바르게 장착되고 최대 히트싱크 온도 90 °C일 때 제공할 수 있는 전력입니다.

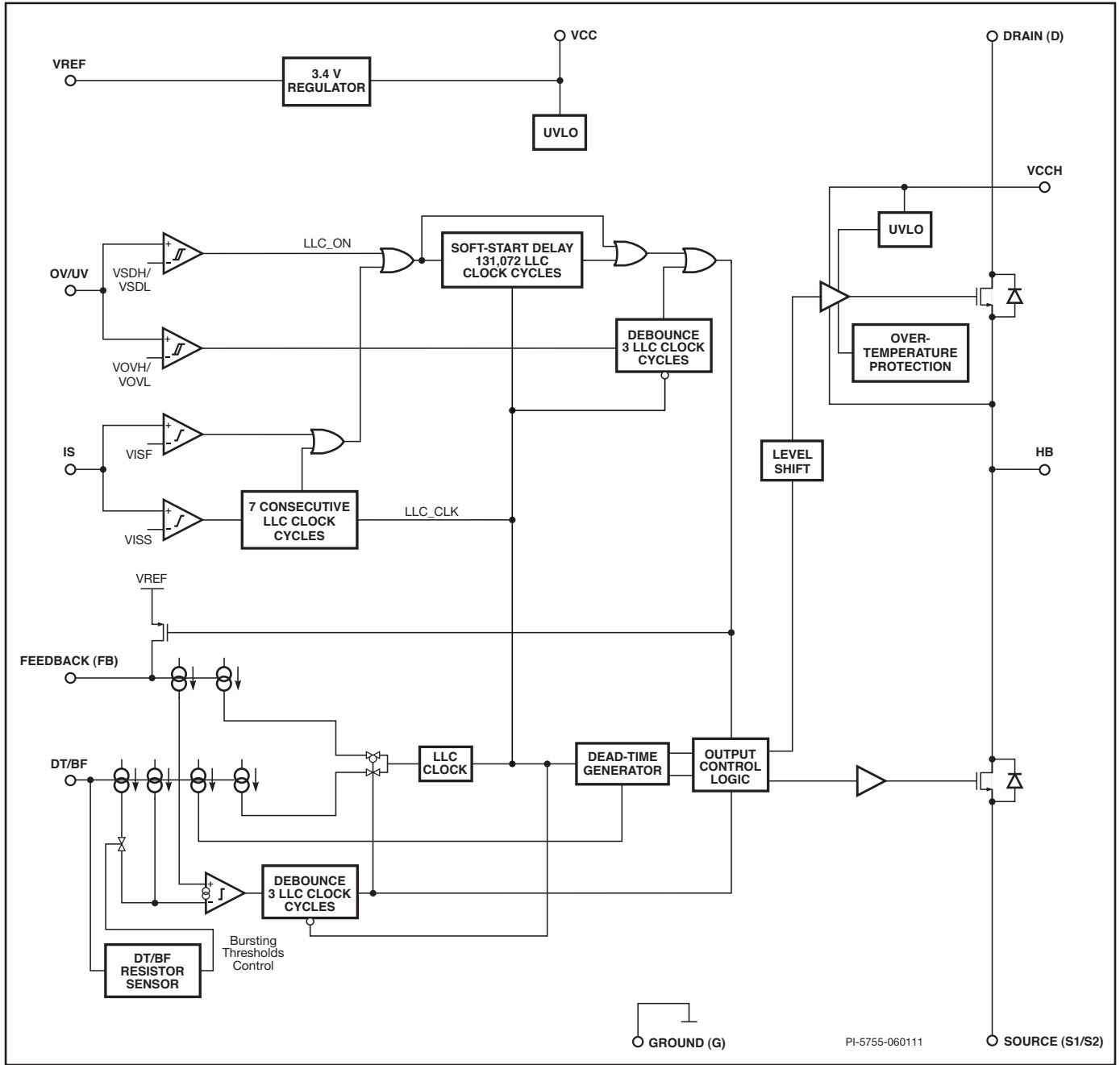


그림 2. 블록 다이어그램.

핀 기능 설명

VCC 핀

IC 파워 핀. 일반 애플리케이션에서 VCC는 5Ω 저항을 통해 12V 시스템 대기 전원에 연결되어 있습니다. 이 저항은 필터 기능을 하여 노이즈에 대한 내성을 개선하는 데 도움이 됩니다.

참고: 시스템 대기 전원 복귀는 GROUND 핀이 아니라 B- 버스에 연결되어야 합니다.

VREF 핀

3.4 VREF 핀. FEEDBACK 핀과 DT/BF 핀 풀업 저항의 전압 소스로 사용되는 내부 전압 레퍼런스 네트워크입니다.

GROUND(G) 핀

G는 모든 아날로그 소신호의 복귀 노드입니다. 모든 소신호 핀 바이패스 커패시터는 짧은 패턴을 통해 이 핀으로 되돌아가야 합니다(단, D-S 고압 바이패스 커패시터와 VCCH 바이패스 커패시터는 예외). 이 핀은 Y 결선 상태로 내부에서 SOURCE 핀과 연결되어 있습니다. **PCB 레이아웃에서 GROUND 핀을 SOURCE 핀 또는 B- 버스에 연결하지 마십시오.**

OV/UV 핀

과전압/저전압 핀. B+는 저항 분배기를 통해 이 핀에서 센싱됩니다. OV/UV 핀은 히스테리시스를 통해 브라운인, 브라운아웃 및 과전압 록아웃을 실행합니다. 이 핀을 그라운드에 풀다운시키면 원격 OFF 기능이 구현됩니다.

FEEDBACK(FB) 핀

이 핀에 공급된 전류에 따라 LLC 스위칭 주파수가 결정됩니다. 전류가 높을수록 높은 스위칭 주파수가 프로그래밍됩니다. 핀 V-I 특성은 정상 스위칭하는 동안 '그라운드 다이오드'와 유사합니다. VREF 핀과 FEEDBACK 핀 사이의 RC 네트워크에 따라 최소 동작 주파수, 스타트업 주파수, 소프트 타임 주파수 및 스타트업 전 지연 시간을 결정합니다.

DEAD-TIME/BURST FREQUENCY(DT/BF) 핀

VREF와 그라운드 사이에서 저항 분배기는 데드 타임, 스타트업 시 최대 스위칭 주파수 및 버스트 모드 기준 주파수를 프로그래밍합니다.

CURRENT-SENSE(IS) 핀

CURRENT-SENSE 핀은 트랜스포머 1차측 전류를 센싱하기 위해 사용됩니다. 이는 전류 센싱 저항 또는 커패시티브 분배기를 통해 과부하 및 고장 상태를 검출하고 저항 회로를 센싱하기 위해서입니다. 역방향 다이오드-그라운드와 유사하며 역방향 전류가 5mA 미만으로 제한된 경우 마이너스 펄스가 핀에 도달하지 못하게 하는 데에 사용되는 정류기 회로가 필요하지 않습니다.

SOURCE(S1), (S2) 핀

내부 로우 사이드 MOSFET의 SOURCE 핀. 이 핀들은 PCB 상에서 PFC 벌크 커패시터 또는 입력 고전압 라인의 B-에 연결되어야 합니다.

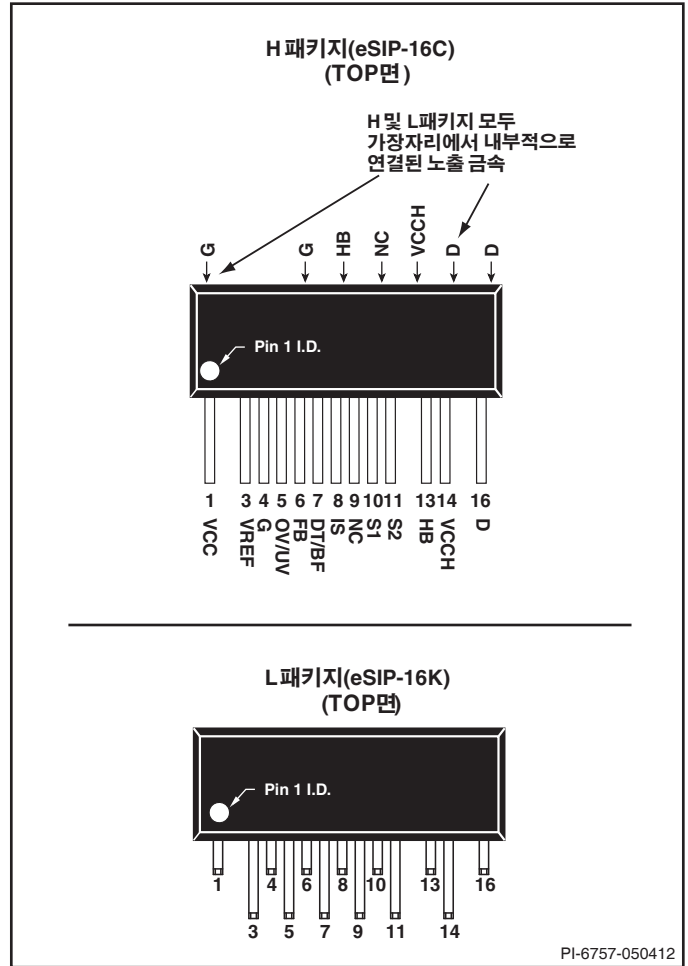


그림 3. 핀 번호 및 표시.

HB 핀

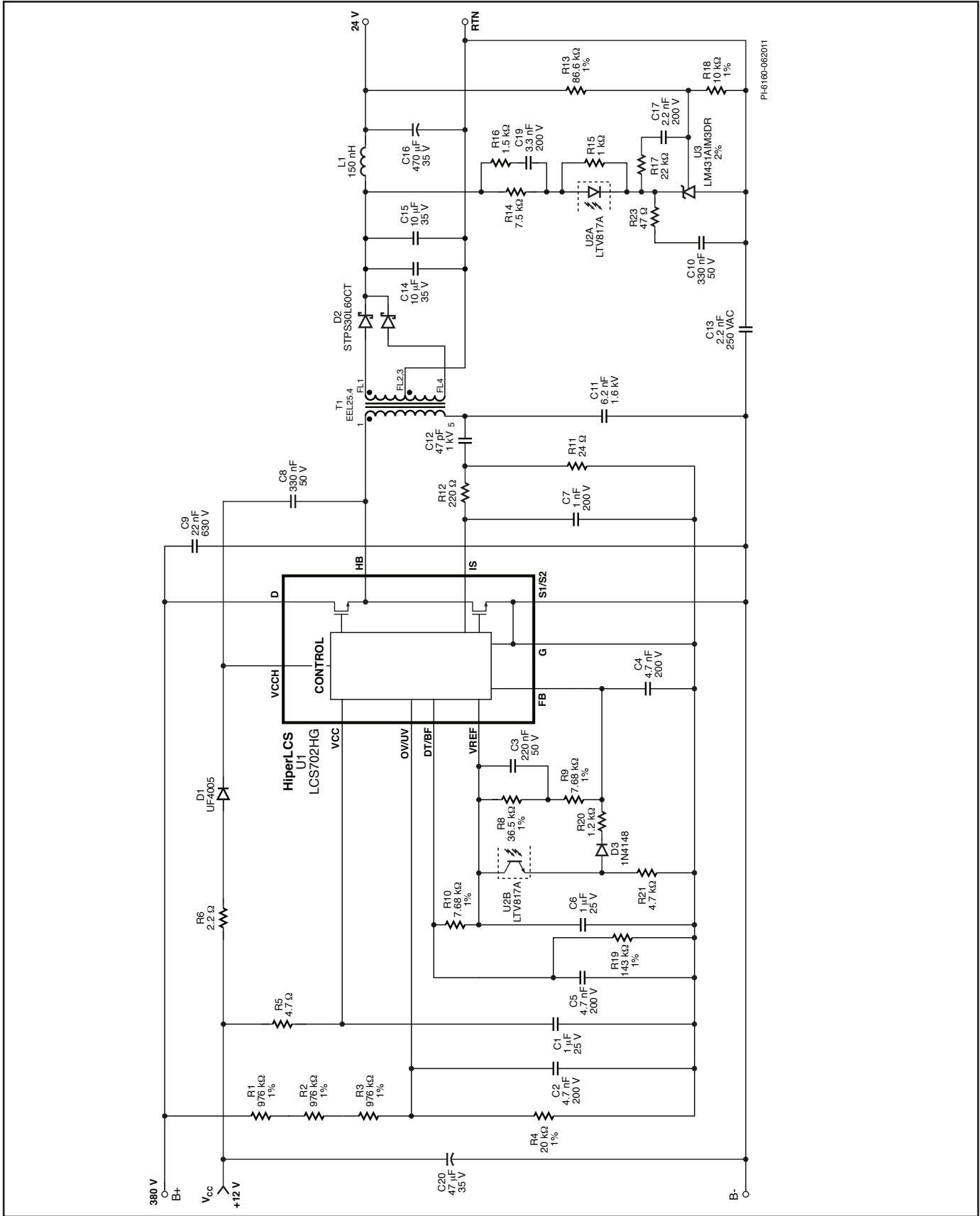
LLC 파워트레인(트랜스포머 1차측 및 직렬 공진 커패시터)에 연결되는 하프 브리지 연결 MOSFET(하이 사이드 MOSFET의 소스, 로우 사이드 MOSFET의 드레인)의 출력단입니다.

VCCH 핀

LLC 하이 사이드 드라이버용 플로우팅 부트스트랩 서플라이 핀. 이 핀은 HB 핀을 기준으로 하며, HB 핀은 내부적으로 하이 사이드 MOSFET의 SOURCE 핀에 연결됩니다. VCCH와 HB 핀 사이의 바이패스/저장 커패시터 및 대기 전원에 직렬 저항으로 연결된 부트스트랩 다이오드가 필요합니다. 저장 커패시터는 로우 사이드 MOSFET이 ON 상태가 되거나 바디 다이오드가 전도될 때마다 재충전됩니다.

DRAIN(D) 핀

내부 하이 사이드 MOSFET의 DRAIN 핀. 이 핀은 PFC 벌크 커패시터 또는 입력 고압 DC 버스의 B+에 연결됩니다.



PH-6160-062011

그림 4. 150W 레이저젯 프린터 파워 서플라이

HiperLCS 기본 동작

HiperLCS는 고효율, 공진, 가변 주파수 컨버터인 하프 브리지 LLC 컨버터용으로 설계되었습니다. HiperLCS는 드라이버와 MOSFET 이 내장된 LLC 컨트롤러입니다.

LLC 컨버터는 스위칭 하프 사이클 사이에 고정된 데드 타임이 필요합니다. DT/BF 핀의 저항 분배기를 사용하여 VREF와 GROUND 핀 사이에서 데드 타임, 스타트업 시 최대 주파수 및 버스트 기준 주파수를 프로그래밍합니다.

FEEDBACK(FB) 핀은 피드백 루프의 주파수 제어 입력단입니다. 주파수는 FEEDBACK 핀 전류에 비례합니다. FEEDBACK 핀 V-I 특성은 그라운드 다이오드와 유사합니다.

버스트 모드

FEEDBACK 핀 전류에 영향을 받은 주파수가 DT/BF 핀의 저항 분배기에 의해 프로그래밍된 상한 버스트 기준 주파수(f_{STOP})를 초과하면 출력 MOSFET은 턴 오프되고, 전류가 하한 버스트 기준 주파수(f_{START}) 아래로 떨어지면 스위칭이 다시 시작됩니다. 일단 버스트 모드 제어는 주파수가 f_{START} 에서 f_{STOP} 으로 올라가고 중지하기를 반복하는 히스테리시스 컨트롤러와 유사합니다. VREF 핀에서 FEEDBACK 핀으로 연결된 외부 부품 네트워크에 따라 최소 및 스타트업의 FEEDBACK 핀 전류가 결정되며, 이에 따라 최소 스위칭 주파수 및 스타트업 스위칭 주파수도 결정됩니다. 이 네트워크의 소프트 스타트 커패시터가 소프트 스타트 타이밍을 결정합니다.

VREF 핀은 FEEDBACK 핀 외부 네트워크에 대한 기준으로써 3.4V 기준값 및 기타 기능을 제공합니다. 이 핀의 최대 전류는 4mA여야 합니다.

Dead-Time/Burst Frequency(DT/BF) 핀에도 그라운드 다이오드 V-I 특성이 있습니다. VREF에서 GROUND 사이의 저항 분배기는 데드 타임, 최대 스타트업 스위칭 주파수(f_{MAX}) 및 버스트 기준 주파수를 프로그래밍합니다. 저항 분배기에서 DT/BF 핀으로의 전류 흐름에 따라 f_{MAX} 가 결정됩니다. 저항 비율은 세 가지 버스트 기준 주파수 비율 중에서 선택되며, 이는 f_{MAX} 의 고정값입니다.

OV/UV 핀은 저항 분배기를 통해 고전압 B+ 입력을 센싱합니다. 히스테리시스를 통해 브라운인, 브라운아웃 및 OV를 구현하며 이러한 전압의 비율은 고정됩니다. 사용자는 스타트업을 보장하기 위하여 벌크(입력) 전압 레귤레이션 설정 포인트 오차의 최소치보다 브라운인 전압이 낮도록 저항 분배기 비율을 선택하고, OV 리스타트 전압(하단)은 벌크 전압 설정 포인트 오차의 최대치보다 높도록 저항 분배기 비율을 선택해야 하는데 이는 OV 상단 기준점을 트리거하는 전압 상승이 발생한 후 LCS가 리스타트 하도록 보장하기 위해서입니다. 브라운인, 브라운아웃, OV 비율을 바꿔야 할 필요가 있으면 저항 분배기에 외부 회로를 추가해야 합니다.

VCC 핀 UVLO

VCC 핀에는 히스테리시스가 있는 UVLO 기능이 있습니다. 전압이 VCC 시작 기준값 $V_{UVLO(H)}$ 를 초과해야만 HiperLCS가 시작됩니다. VCC가 VCC 종료 기준값 $V_{UVLO(L)}$ 로 떨어지면 HiperLCS가 턴 오프됩니다.

VCCH 핀 UVLO

VCCH 핀은 하이 사이드 드라이버의 서플라이 핀입니다. 이 핀에는 VCC 핀과 유사한 UVLO 기능도 있으며 이는 VCC핀보다 낮은 기준점을 가집니다. 이 기능을 통해 VCCH 핀에 VCC 서플라이로부터 부트스트랩 다이오드 및 직렬 전류 제한 저항과 연결되므로 VCC 보다 약간 낮은 VCCH 전압이 됩니다.

스타트업 및 오토-리스타트

스타트업 전에 소프트 스타트 커패시터를 방전시키고 출력 MOSFET을 OFF 상태로 유지하기 위해 FEEDBACK 핀이 내부적으로 VREF 핀에 풀업됩니다. 스타트업이 시작되면 내부 풀업 저항이 턴 오프되고, 소프트 스타트 커패시터가 충전되며, 출력이 f_{MAX} 에서 스위칭하기 시작하고, FEEDBACK 핀 전류가 줄어들고, 스위칭 주파수가 떨어지며, PSU 출력이 증가합니다. 출력이 전압 설정 포인트에 도달하면 옴토커플러가 전도되어 루프가 폐쇄되고 출력이 레귤레이션됩니다.

VCC 핀이 구동될 때마다 전압 분배기 비율을 센싱하고 버스트 기준값을 선택하기 위해 DT/BF 핀이 500 μ s동안 하이 임피던스 모드로 진입합니다. 이 설정은 다음 VCC 리사이클까지 저장됩니다. 그런 다음, 그라운드 다이오드와 유사한 DT/BF 핀이 정상 모드에 진입하고 센싱된 전류가 계속적으로 f_{MAX} 주파수를 설정합니다. 버스트 기준 주파수는 f_{MAX} 의 비율값입니다. 내부 오실레이터는 FEEDBACK 핀 내부 풀업이 ON 상태일 때마다 f_{MAX} 에서 내부 카운터를 실행합니다.

IS, OV/UV 또는 VCC 핀(UVLO)에서 오류가 발생되면 131,072 클럭 사이클 동안 내부 FEEDBACK 핀 풀업 트랜지스터가 ON 상태가 되어 소프트 스타트 커패시터를 완전히 방전시킨 다음 리스타트가 시도됩니다. VCC 리사이클 후 첫 번째 구동까지는 1024 사이클이 소요되며, 이 사이클이 진행되는 동안 처음으로 OV/UV 핀이 브라운인 전압을 초과하는 경우도 포함합니다.

원격 OFF

OV/UV 핀을 그라운드로 풀다운시키거나 IS 핀을 0.9V 이상 풀업시키면 원격OFF가 동작합니다. 두 가지 방법 모두 131,072의 리스타트 사이클을 발생시킵니다. VCC를 풀다운하여 디바이스를 종료할 수도 있고, VCC를 풀업하면 FEEDBACK 핀이 VREF 핀으로 풀업되어 f_{MAX} 1024 클럭 사이클 동안만 소프트 스타트 커패시터가 방전됩니다. 이 방법을 사용할 경우 설계자는 VCC가 풀다운되는 시간과 1024 사이클이 소프트 스타트 커패시터를 방전시키기에 충분인지 확인해야 합니다. 충분하지 않은 경우, 과도한 1차측 전류로 인해 과전류 보호가 동작하지 않도록 로우 사이드 시작 주파수가 충분히 높아야 합니다.

전류 센싱

IS 핀은 1차측 전류를 센싱합니다. 이 핀은 역방향 그라운드 다이오드와 유사합니다. 이 핀은 마이너스 전류가 <5mA로 제한된 경우 마이너스 전압에 대해 내성을 갖습니다. 따라서 저항값을 >220 Ω 으로 제한하는 직렬 전류를 통해 전류 센싱 저항(또는 1차측 커패시티브 전압 분배기 + 센싱 저항)에 연결되어야 합니다. 따라서 이 핀은 AC 파형을 받아들일 수 있으며 정류기 또는 피크 감지 회로가 필요하지 않습니다. IS 핀이 7개 연속 사이클 동안 플러스 피크 전압 0.5V를 센싱하면 오토-리스타트가 동작합니다. IS 핀은 일반적으로 0.9V에서 더 높은, 두 번째 기준값을 가지며, 여기서 단일 펄스를 센싱하면 오토-리스타트가 동작합니다. 두 전압 기준값을 감지하기 위한 최소 펄스 폭 요건은 30ns입니다. 즉, 올바른 탐지를 위해 30ns 넘게 기준값을 초과해야 합니다.

과열 섯다운

HiperLCS에는 래칭 OTP가 있습니다. 기기가 OTP 기준값 아래로 떨어지면 VCCH를 꺾다 켜서 동작을 다시 시작해야 합니다.

기본 레이아웃 지침

HiperLCS는 고주파 전력 디바이스이며, 최대 성능을 얻으려면 회로 기판 레이아웃에 세심한 주의를 기울여야 합니다.

바이패스 커패시터는 연결되는 각종 핀까지의 패턴 길이가 최소화되도록 세심하게 배치되고 레이아웃되어야 합니다. 최소 부품 및 패턴 스트레이 인덕턴스를 위해 SMD 부품이 권장됩니다.

표 2에서는 필터링/바이패스가 필요한 핀에 권장되는 바이패스 커패시터 값을 보여줍니다. 가장 민감한 핀부터 가장 민감하지 않은 핀의 순서로 핀을 나열하고 있습니다. 목록의 맨 위에 있는 가장 민감한 핀의 바이패스 커패시터는 패턴 길이를 최소화하기 위하여 배치 시 아래에 있는 핀의 바이패스 커패시터보다 높은 우선 순위를 가집니다. 목록에서 가장 민감한 두 핀, 즉 FEEDBACK과 DT/BF 핀에 노이즈가 유입되면 각각 듀티 사이클과 데드 타임 불균형이 발생합니다.

그림 5와 그림 6에서는 최적의 성능을 위해 그라운드 패턴을 라우팅하기 위한 두 가지 대체 방법을 보여 줍니다. 그림 5에서는 타원형 패드가 있는 LCS용 레이아웃 풋프린트를 보여 줍니다. 이는 IC의 양 단에 있는 바이패스 커패시터의 그라운드 시스템을 직접 연결하는 패턴이 핀 3과 5 간에 전달될 수 있게 합니다.

그림 6에서는 원형 패드가 있는 LCS 레이아웃 풋프린트가 공간 부족으로 인해 패턴이 라우팅되지 않게 하는 경우입니다. 이 경우 그라운드 시스템을 서로 연결하고 JP1에서 라우팅될 핀 3이 옵토커플러에 연결되도록 하기 위해 점퍼(JP1, 1206 크기 0Ω 저항)가 사용됩니다.

트랜스포머 T1은 di/dt 고신호와 dv/dt 노이즈 모두에 대한 소스입니다. 첫 번째는 민감한 회로에 자기적으로 커플링될 수 있지만 두 번째는 정전기 커플링을 통해 노이즈를 유입할 수 있습니다. 정전기 노이즈 커플링은 트랜스포머 코어를 그라운드하여 줄일 수 있지만 경제적인 측면에서 트랜스포머 주변의 스트레이 자기장을 줄이려면 효율의 급격한 저하를 감수해야 합니다. 민감한 패턴 및 부품(예: 옵토커플러)은 노이즈의 영향을 방지하기 위해 트랜스포머와 멀리 떨어진 곳에 배치해야 합니다.

Pin	복귀 핀	권장 값	참고
FEEDBACK(FB)	GROUND	4.7nF(250kHz)	낮은 주파수에서는 값을 비례해서 높이십시오(예: 100kHz에서 10nF). 피드백 루프 특성의 일부인 FEEDBACK 핀 입력 임피던스를 사용하여 극점을 형성합니다. 예상 게인 크로스오버 주파수에서 과도한 위상 변이가 유입되지 않아야 합니다. FEEDBACK 핀에 노이즈가 유입되면 듀티 사이클 불균형이 발생합니다.
DEAD-TIME/BURST FREQUENCY(DT/BF)	GROUND	4.7nF	이 커패시터의 시정수와 DT/BF 핀에 연결된 저항의 소스 임피던스는 100µs 미만이어야 합니다. DT/BF 핀에 노이즈가 유입되면 데드 타임 불균형이 발생합니다.
CURRENT SENSE(IS)	GROUND	1nF(250kHz)	이 핀에 대한 값은 LLC 스테이지 동작 주파수에 비례해서 변경됩니다. 권장값인 220Ω 직렬 저항과 함께 RC 로우 패스 필터를 형성합니다. 1차측 전류 센싱의 AC 신호가 변경되서는 안 됩니다.
VCC	GROUND	1µF 세라믹	
VREF	GROUND	1µF 세라믹	
VCCH	HB	0.1µF - 0.47µF	부트스트랩 커패시터. 하이 사이드 MOSFET을 턴온하기 위하여 하이 사이드 드라이버에 순간 전류를 제공합니다. 부트스트랩 전류 제한 저항으로(부트스트랩 다이오드와 함께 직렬로) 형성된 시정수는 스타트업 시, 그리고 첫 번째 스위칭 사이클에서 버스트 모드 작동 중 몇몇 스위칭 사이클 동안의 VCCH UVLO를 지연시킵니다.
DRAIN (DC 버스)	S1, S2	10-22nF SMD 세라믹 최소값과 22-100nF 스루홀	1차측 RMS 전류의 암페어당 총 22nF. SMD 부품은 IC 바로 옆에 있어야 하고 짧은 패턴으로 가깝게 연결되어야 합니다. 이렇게 하면 하드 스위칭(ZVS 손실) 과도 중 D-S의 링잉이 방지됩니다. 또한 고주파수 EMI가 감소됩니다.
OV/UV	GROUND	4.7nF	

표 2. 바이패스 커패시터 표(중요도순)

그림 7에서는 FEEDBACK 핀에 연결된 옵토커플러 및 패턴의 기본 라우팅 예를 보여 줍니다. 옵토커플러는 노이즈 영향을 줄이기 위해 트랜스포머와 멀리 떨어진 곳에 배치되어 있습니다. 옵토커플러 출력 패턴(핀 3)은 "액티브" 부품 및 패턴(예: T1 및 커패시터 C12)과의 거리를 증가시키도록 라우팅됩니다. 저항 R20은 옵토커플러 패턴에 영향을 주는 모든 노이즈가 U1의 FEEDBACK 핀에 도달하기 전에 R20 및 C4의 조합에 의해 필터링되도록 옵토커플러 U2가 아닌 U1에 가깝게 배치됩니다. C4는 U1의 FEEDBACK 핀(핀 4)과 바로 근접한 곳에 배치됩니다.

VCCH는 고전압 울트라 패스트 다이오드 및 직렬로 연결된 2.2Ω 저항을 통해 대기 전원에 연결됩니다. 이 다이오드 저항 네트워크는 내부 LLC 로우 사이드 MOSFET이 ON 상태가 될 때마다 VCCH 바이패스/저장 커패시터를 충전합니다. 저항은 피크 순간 충전 전류를 제한합니다. 그림 8에서 R6 및 D1을 참조하십시오.

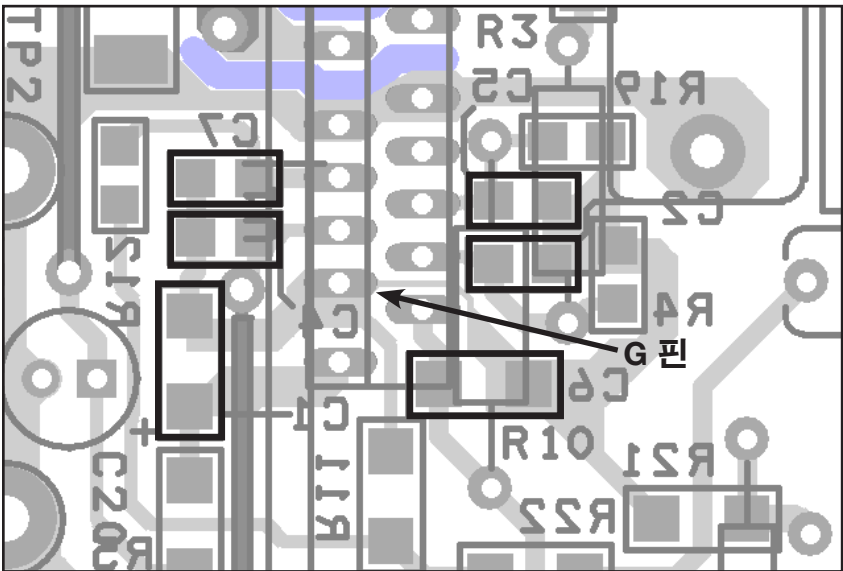


그림 5. IC 신호 핀의 바이패스 커패시터 배치

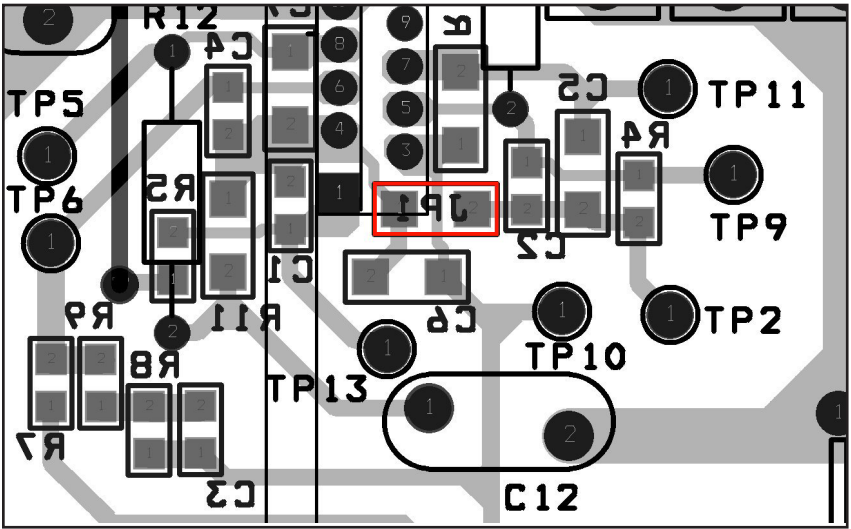


그림 6. 점퍼와 원형 패드를 사용하여 두 그라운드를 연결한 LCS 풋프린트의 대체 레이아웃 (표시 부분)

소신호 바이패스 커패시터

그림 5를 참조하십시오. FEEDBACK, DT/BF, IS, VREF, OV/UV 및 VCC 핀에서 핀 연결 패턴 및 GROUND 핀으로의 패턴이 짧도록 해 주는 소신호 바이패스 커패시터의 위치를 확인하십시오. GROUND 핀과 SOURCE 핀 또는 인쇄 회로 기판의 B- 버스가 연결되어 있지 않습니다.

VCCH 바이패스 커패시터

그림 8을 참조하십시오. HB 핀과 VCCH 핀으로의 연결을 짧게 해주는 VCCH 커패시터(강조 표시됨)의 위치를 확인하십시오.

드레인과 소스 간 고전압 바이패스 커패시터

그림 9를 참조하십시오. D 핀과 S 핀으로의 PCB 패턴 길이를 최소화하도록 IC에 배치된 B+와 B- 간 고전압 바이패스 커패시터(강조 표시됨)의 위치를 확인하십시오.

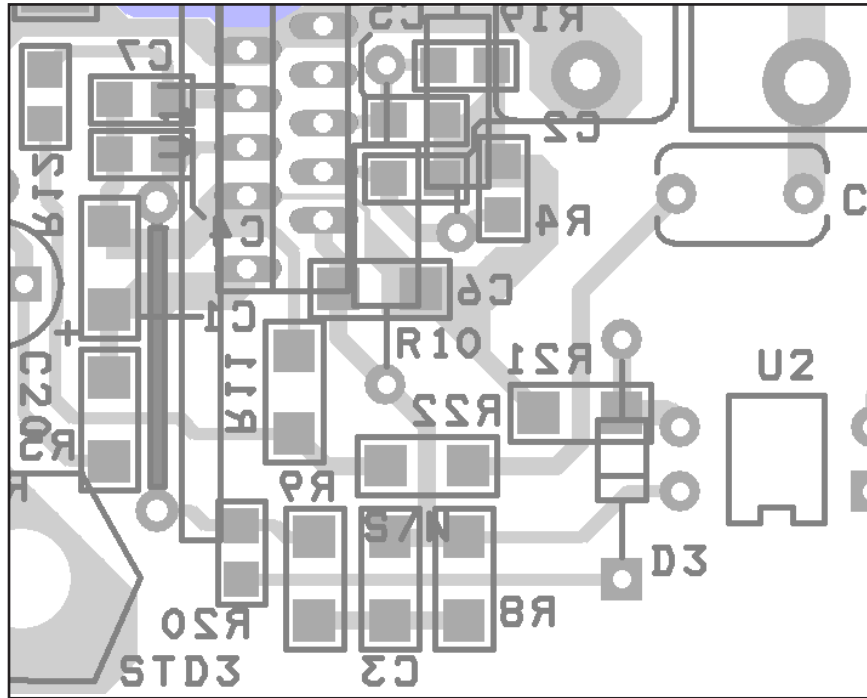


그림 7. 오토커플러 및 FEEDBACK 핀으로 연결되는 패턴의 기본 라우팅

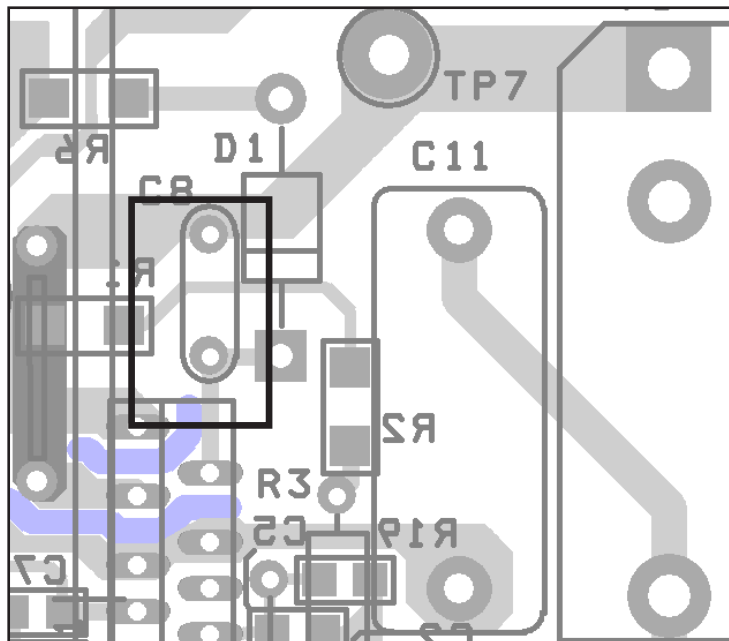


그림 8. VCCH 커패시터 배치

부트스트랩 회로 및 HB 노드 레이아웃

그림 10을 참조하십시오. 부트스트랩 다이오드, 커패시터, 저항의 위치 및 HB 패턴 라우팅을 확인하십시오. 이렇게 한 목적은 피드백 옵토크플러와 같은 소신호 부품 및 패턴과 거리를 두기 위해서입니다. 이 노드에서 PCB 패턴의 면적을 불필요하게 늘리지 마십시오. 저압 회로에 대한 dv/dt(커패시티브) 커플링이 증가하게 됩니다.

트랜스포머 2차측

트랜스포머 2차측 핀, 출력 다이오드 및 메인 출력 커패시터는 서로 가깝게 배치하고 짧고 굵은 패턴을 사용하여 라우팅해야 합니다.

이는 2차측 전류 대칭과 출력 다이오드 역 전압 스트레스 최소화에 **매우 중요**합니다. 세라믹 커패시터를 사용하면 트랜스포머 2차측 핀과 출력 정류기 사이에 배치가 가능해져 매우 타이트한 레이아웃이 생성됩니다. 그림 11을 참조하십시오. 2차측 권선은 보빈에 감기 전에 서로 꼬아야 합니다. 이렇게 하면 권선 간 누설 인덕턴스가 최소화되고 전류 대칭이 크게 개선되며 출력 다이오드 역 전압 스트레스가 최소화됩니다. 2단 출력 설계의 경우에도 권선을 꼬아서 감아야 합니다.

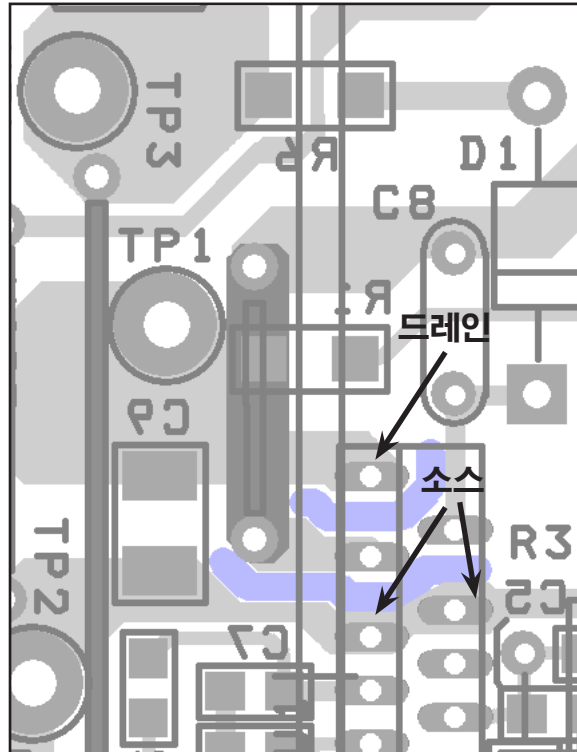


그림 9. B+ 및 B- 고전압 바이패스 커패시터 배치

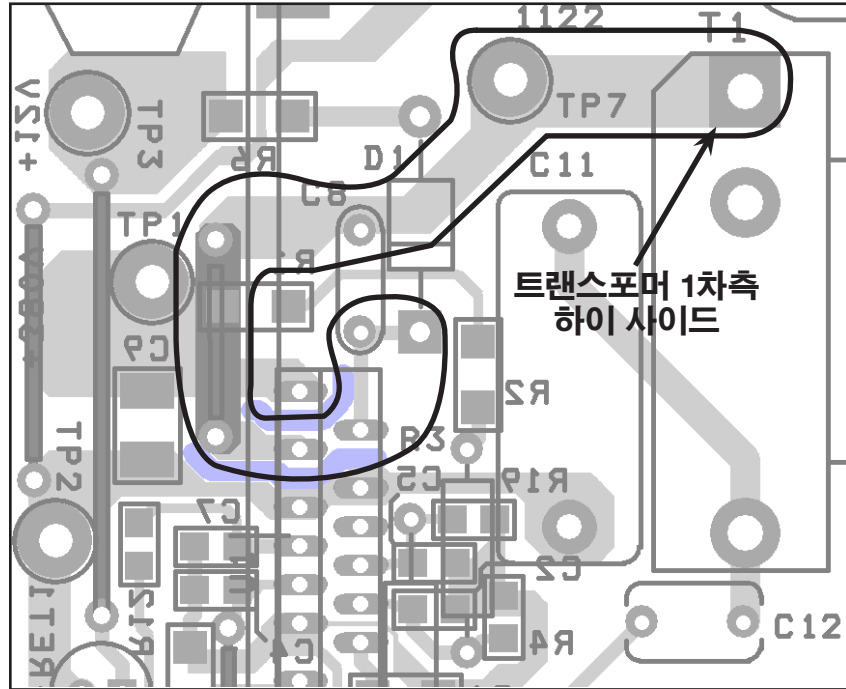


그림 10. 부트스트랩 다이오드, 커패시터, 저항 및 고전압 패턴 라우팅 배치

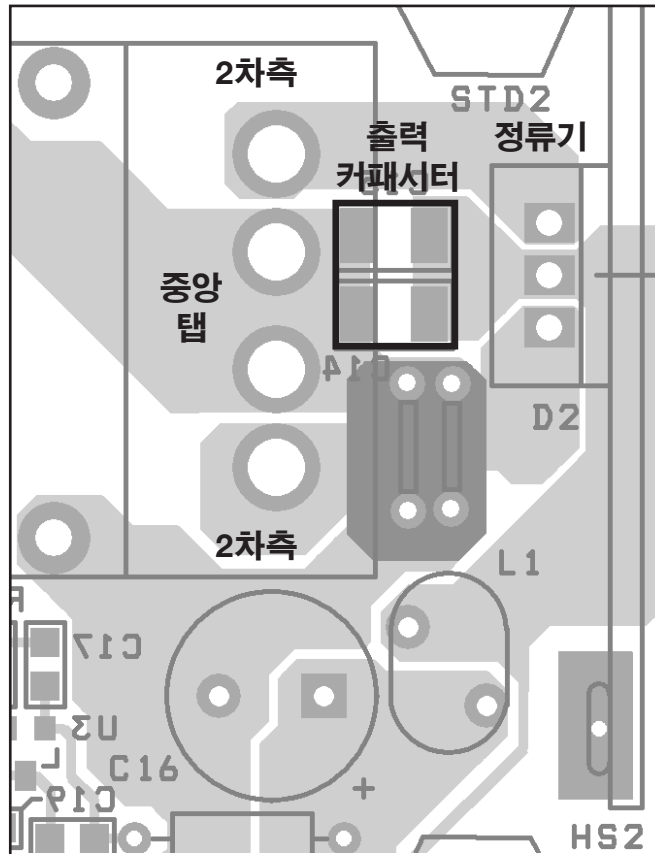


그림 11. 루프 영역 최소화 및 동일화를 위해 트랜스포머 2차측 핀과 출력 정류기 간 커패시터 배치

주요 설계 세부 사항

LLC 컨버터는 가변 주파수 공진형 컨버터입니다. 입력 전압이 감소하면 출력 레귤레이션을 유지하기 위해 주파수가 감소하며, 부하가 감소하면 주파수가 증가해야 합니다. 컨버터가 직렬 공진 주파수에서 동작할 경우 주파수가 부하에 따라 변하는 일이 거의 없습니다. 필요한 최소 동작 주파수는 브라운아웃 전압(최소 입력 전압) 및 풀부하에서 발생합니다.

동작 주파수 선택

구리를 최소로 사용하여 비용을 최대한 낮추고 트랜스포머 크기를 최소로 줄이기 위한 권장 동작 주파수는 ~250kHz입니다. 이렇게 하면 전해 커패시터를 대신하여 저가의 세라믹 출력 커패시터를 사용할 수 있으며, 특히 고출력 전압(> 12V)에서 유용합니다. 사용 중인 코어와 보빈이 250kHz에서 누설 인덕턴스가 너무 심할 경우 180kHz에서 동작하면 훌륭한 성능을 얻을 수 있습니다. 250kHz에서 최적의 효율을 얻으려면 1차측 권선에 AWG #44(0.05mm), 2차측 권선에 AWG #42(0.07mm) 리츠 와이어를 사용하는 것이 좋습니다. 두꺼운 저가형 리츠 와이어를 사용할 수도 있지만 구리 손실이 증가하고 효율이 낮아집니다. 리츠 와이어(AWG #38 또는 0.1mm)는 매우 낮은 주파수(60-70kHz)에 적합하며 훨씬 큰 트랜스포머와 매우 긴 리츠 와이어가 필요합니다.

동작 주파수가 130kHz인 경우에도 PC44 또는 동급의 코어 재료를 사용하는 것이 손실을 줄이는 방법입니다. 특정 트랜스포머 설계의 경우, 작은 공진 커패시터를 교체하는 방법으로 주파수를 높이면 감소한 AC 자속 밀도 B_{AC} 로 인하여 코어 손실이 감소하고 구리 손실이 증가합니다. 코어 손실은 주파수보다 자속 밀도의 기능이 강해서 발생하는 현상입니다. 주파수가 높아지면 와전류 손실로 인해 구리 손실이 증가합니다.

공칭 동작 주파수가 300kHz를 초과할 경우 구리의 와전류 손실이 증가하고, 전력이 2차측으로 전달되는 시간에 악영향을 주는 1차측 슬루 시간(ZVS 전환 시간)에 엄청난 시간이 소비되므로 효율이 급격하게 떨어지기 시작합니다.

공진 탱크 및 트랜스포머 설계

전체 설계 프로세스를 설명하는 PIXIs HiperLCS 스프레드시트 사용 방법은 Application Note AN-55를 참조하십시오.

1차측 인덕턴스

HiperLCS에 대한 최적의 파워트레인 설계는 모든 정상 상태 조건에서 ZVS 손실을 최소로 줄이는 1차측 인덕턴스를 사용합니다. 비정상 상태 조건에서 발생하는 일부 ZVS 손실은 허용됩니다. 1차측 인덕턴스를 줄이면 ZVS 동작 범위를 증가시키는 자기 전류가 높아지지만, 높아진 자기 전류로 인해 손실이 증가하고 효율이 떨어집니다.

처음 설계할 때에 사용할 1차측 인덕턴스는 디바이스 크기, 정격 부하, 최소 입력 전압, 원하는 동작 주파수에 따라 결정되며 PIXIs 스프레드시트에서 제공됩니다. L_{PRI} 는 통합형 트랜스포머(높은 누설 인덕턴스)의 1차측 인덕턴스이거나 또는 외부 직렬 인덕턴스를 사용할 경우 이 인덕턴스와 트랜스포머 1차측 인덕턴스의 합계가 됩니다.

누설 인덕턴스

K_{RATIO} 파라미터는 누설 인덕턴스의 함수입니다.

$$K_{RATIO} = \frac{L_{PRI}}{L_{RES}} - 1$$

권장하는 K_{RATIO} 는 2.5-7입니다. 이에 따라 허용 가능한 누설 인덕턴스 범위가 결정됩니다.

L_{RES} 는 통합형 트랜스포머의 누설 인덕턴스이며, 별도의 직렬 인덕터를 사용할 경우 이 인덕턴스와 트랜스포머 누설 인덕턴스의 합계에 해당합니다.

K_{RATIO} 가 낮으면(높은 누설 인덕턴스) 최소 입력 전압에서 레귤레이션이 불가능하거나 누설 자속으로 인해 트랜스포머 구리 손실이 증가할 수 있습니다. K_{RATIO} 가 높으면(낮은 누설 인덕턴스) 저전압에서 높은 피크와 RMS 전류가 발생하므로 적절하게 넓은 범위에서 ZVS를 동작하려면 더 낮은 1차측 인덕턴스가 필요합니다. 이렇게 할 경우 공진 순환 전류가 증가하여 효율이 떨어집니다.

설계자가 사용할 수 있는 코어 및 보빈 설계에 따라 누설 인덕턴스의 조정 여부가 제한될 수 있습니다. 하지만 상대적으로 광범위한 누설 인덕턴스 값에서 뛰어난 성능을 얻을 수 있습니다.

K_{RATIO} 는 LLC가 입력 전압 범위에서 레귤레이션을 유지할 수 있도록 동작에 필요한 주파수 범위에 직접적인 영향을 미칩니다. K_{RATIO} 가 증가하면 이 주파수 범위는 높아지고 f_{MIN} 은 낮아집니다.

낮은 f_{MIN} 은 일반적으로 높은 B_{AC} 에서 실행되는 낮은 주파수 설계의 유일한 잠재적 문제입니다. 이 경우 f_{MIN} 에서 동작 시 코어가 포화 상태에 도달할 수 있습니다. f_{MIN} 에서의 동작은 입력 전압이 최소(입력 브라운아웃)일 때 발생합니다.

분리된 공진 인덕터를 사용하는 설계의 경우, 작은($K_{RATIO} = 7$) 인덕턴스를 사용하면 인덕터의 크기와 비용을 최소화할 수 있습니다.

누설 인덕턴스 조정

일반적으로 1차측과 2차측으로 분할된 보빈이 LLC 컨버터에 사용됩니다. 1차측과 2차측 턴 수를 증가 또는 감소시키면(턴비는 유지) 누설 인덕턴스가 1차측 권선 범위에 비례해서 변경됩니다.

누설 인덕턴스가 너무 크면 3섹션 보빈을 사용하여 해결할 수 있습니다. 3섹션 보빈에서 2차측이 가운데 섹션에 위치하고 1차측 권선은 직렬로 연결된 2개의 부분으로 나뉩니다.

마지막으로 누설 인덕턴스가 너무 낮으면 외부 인덕터를 추가할 수 있습니다.

공진 주파수

직렬 공진 주파수는 L_{RES} 와 공진 커패시터 C_{RES} 의 함수입니다. L_{RES} 값이 정해져 있는 경우, C_{RES} 값을 원하는 직렬 공진 주파수 f_{RES} 에 맞게 조정할 수 있습니다. 최적의 효율성을 위해 공진 주파수는 정격 입력 전압에서 목표 동작 주파수에 가깝게 설정되어 있습니다.

동작 주파수 및 주파수 비율

공진 주파수 비율 f_{RATIO} 은 다음과 같이 정의됩니다.

$$f_{RATIO} = \frac{f_{SW}}{f_{RES}}$$

$f_{RATIO} = 1$ 은 컨버터가 직렬 공진 주파수에서 동작 중임을 나타냅니다.

f_{RATIO} 의 주요 결정 요소는 트랜스포머 턴비입니다. 1차측 턴 수가 증가하면 입력 및 출력 전압의 f_{RATIO} 가 낮아집니다.

정격 입력 전압에서 권장하는 f_{RATIO} 는 0.92~0.97입니다. 출력 정류기 선택을 무시할 경우, 공진에서 동작하는 것이 공진 파워트레인의 효율을 최대로 끌어낼 때가 종종 있습니다. 하지만 공진보다 약간 아래에서 동작하는 경우 정류기가 불연속 전도성 모드에 진입하게 되어 저전압 다이오드 또는 동기화 MOSFET를 사용할 수 있으므로 손실이 감소하고 전체 효율이 증가합니다. 왜냐하면 입력 전압이 높아서 컨버터가 공진보다 위에서 동작해 할 때 정류기가 폭이 작은 연속 모드로 동작하여 전류의 크기를 줄이고 스트레이 인덕턴스 전압 스파이크를 줄이기 때문입니다. 스트레이 인덕턴스는 2차측 위상과 정류기 및 출력 커패시터와 연결된 스트레이 인덕턴스 사이의 누설 인덕턴스로 구성됩니다.

이와 반대로 매우 낮은 f_{RATIO} (<0.8)에서 동작할 경우, 높은 RMS와 피크 전류가 발생합니다. 경우에 따라 이것이 최적의 설계가 되기도 합니다. 입력 전압이 높은 경우에도 낮은 정격 전압, 낮은 V_F 정류기가 연속 전도성 모드로 동작하지 않도록 사용이 가능하므로 전압 스파이크가 발생하지 않아서 정격 전압을 낮출 수 있습니다.

다음 식이 성립하면 모든 LLC 하프 브리지 컨버터가 공진에서 동작합니다.

$$\frac{V_{IN}}{2} = n_{EQ} V_{OUT}$$

n_{EQ} 는 회로 턴비와 동일한 트랜스포머에 있습니다. 트랜스포머의 n_{EQ} 는 물리적 턴비 N_{PRI}/N_{SEC} 보다 낮다는 점에 유의해야 합니다. 2차측 턴 수는 각 하프 2차측의 턴 수입니다. 위 식의 V_{OUT} 는 출력 전압 + 다이오드 전압 강하와 같습니다. 약수 "2"는 하프 브리지 구성을 의미하며, 각 하프 사이클은 각 2차측 하프에 입력 전압의 절반을 전도합니다.

공진 커패시터 또는 인덕턴스 값이 변경되면 스위칭 주파수와 공진 주파수가 모두 변경되지만 f_{RATIO} 는 거의 변하지 않습니다.

지정된 설계의 경우 LLC가 공진 시 동작하는 입력 전압은 $V_{INPUT(RESONANCE)}$ 입니다. 이 전압 아래에서 LLC는 낮은 주파수(공진 아래)에서 동작합니다. 따라서 정격 입력 전압에서 권장하는 $f_{RATIO} \approx 0.95$ 의 경우 $V_{INPUT(RESONANCE)}$ 이 정격 전압보다 약간 높을 것입니다.

가변 정격 입력 전압(예: PFC 레귤레이터가 없는 경우)을 사용하는 설계의 경우, $V_{INPUT(RESONANCE)}$ 이 최대 입력 전압과 최소 입력 전압의 중간에 오도록 초기 턴비를 설정하는 것이 좋습니다. 가변 출력 전압(예: 정전류 레귤레이션 출력) 설계의 경우에는 공진에서 LLC를 최소 출력 전압과 최대 출력 전압의 중간에서 동작하도록 초기 턴비를 설정하는 것이 좋습니다.

데드 타임 선택

HiperLCS를 사용하는 대부분의 설계는 전력 및 동작 주파수에 관계없이 290 - 360ns 사이의 데드 타임에서 잘 동작합니다. 낮은 $V_{BROWNOUT}$ 을 요구하는 설계는 데드 타임이 짧아야 합니다.

데드 타임 설정은 저전압/최대부하(저주파수)와 최소부하/고전압(고주파수) 조건 간에 절충해야 합니다. 저전압/최대부하 동작은 짧은 데드 타임이 적합하고 최소부하/고전압은 긴 데드 타임이 적합합니다.

정상 상태 동작에서 이와 같은 조건이 발생하지 않으면, 즉 출력 홀드업 시간의 경우 일부 ZVS 손실이 발생하기는 하지만 저전압/최대부하 동작시 최적의 데드 타임보다 길게 설정할 수 있습니다. 정상 상태 동작에서 ZVS가 손실되는 동작은 내부 전력 소모로 이어지므로 피해야 합니다.

데드 타임을 고전압/최소부하 동작에 최적인 데드 타임보다 짧게 설정하면 피드백 신호가 반전되고 HiperLCS가 강제로 버스트 모드로 진입합니다. 버스트 모드 동작이 가능하다면(즉 반복 비율이 가청 노이즈를 발생시키지 않고, HiperLCS가 버스트 모드를 출입할 수 있는 정도의 큰 과도 신호가 허용되는 경우) 짧은 데드 타임을 사용할 수 있습니다. PFC 회로가 있는 경우, 부하 급감(예: 부하 단계 100%에서 1%까지)은 일시적으로 과도 입력 전압 상태를 보입니다(예: LLC 단로의 입력 전압은 380V에서 410V 까지 증가하고 상대적으로 느리게 380V로 돌아감). 그리고 버스트 주파수 기준값 설정은 설계자가 버스트 모드를 조절하는 데 사용할 수 있는 또 다른 변수입니다.

OV/UV 핀

입력(B+) 전압을 모니터링하는 HiperLCS OV/UV 핀은 브라운인(ON 상태) 기준값($V_{SD(H)}$)의 79%, 즉 일반적으로 2.4V인 브라운아웃 셋다운 기준값($V_{SD(L)}$)을 가집니다. 과전압(OV) 록아웃 셋다운 기준값($V_{OVI(H)}$)은 일반적으로 브라운인 스탠드업 기준값의 131%이며 126%는 OV 리스타트 지점($V_{OVI(L)}$)입니다. 이러한 기준값 비율은 고정되어 있으며, PFC 회로의 출력 전압에 적합한 비율을 선택합니다. 저항 분배기 비율을 선택할 때는 부품 내성을 고려하여 브라운인 지점이 항상 PFC 출력 설정 포인트보다 작고, OV 리스타트(하단) 기준값이 항상 PFC 출력 설정 포인트보다 큰 상태로 유지되는 값을 선택해야 합니다.

출력 홀드업 시간 동안 전압이 브라운아웃 기준값까지 떨어지면 HiperLCS가 스위칭을 중지하게 됩니다.

입력 전압이 가변적이고(예: PFC 레귤레이터가 없는 경우) 변화 폭이 24%보다 큰 경우, 저항 분배기에 외부 회로를 사용하여 OV 기준값을 높여야 합니다. $V_{BROWNOUT}$ 을 기본 비율 아래로 떨어뜨려야 하는 경우에도 외부 회로가 필요합니다.

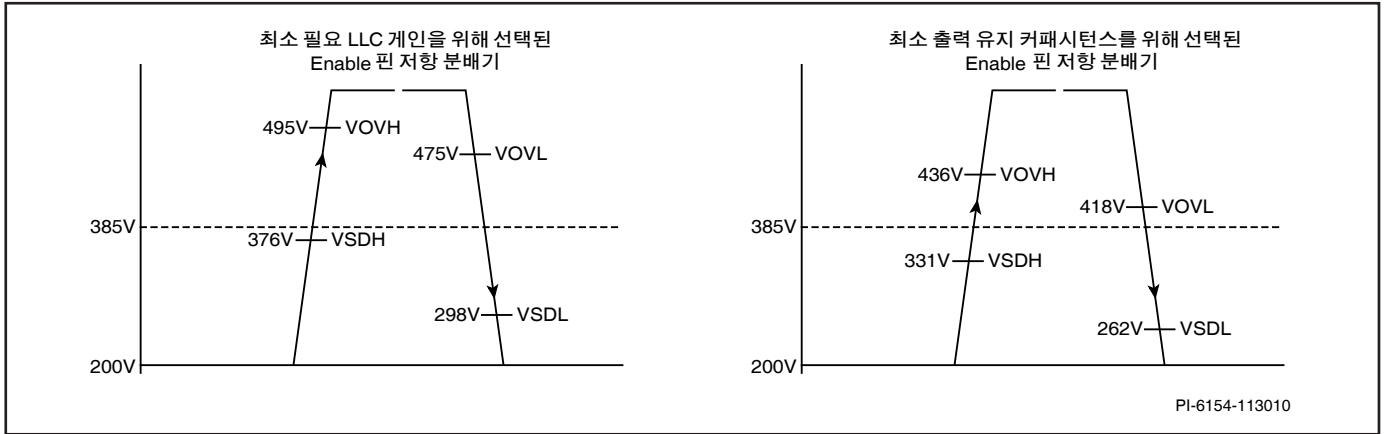


그림 14. 최소 및 최대 분배기 비율에서 385V 공칭 입력 전압 시 OV/UV 핀 전압 기준값

그림 14의 왼쪽에 있는 예에서, 저항 분배기는 브라운인 기준값이 V_{PFC} 설정 포인트 385V 바로 아래인 376V가 되도록 설정되었습니다. OV 섰다운 기준값은 디바이스 최대 V_{DS} 등급인 530V에 대해 적절한 마진을 제공하는 495V입니다. 이는 필요한 LLC 게인을 최소화하고 브라운아웃의 피크 전류를 최소화합니다. 그림 14의 오른쪽에 있는 예에서 OV 리스타트 기준값은 V_{PFC} 바로 위인 418V로 설정되었습니다. 이는 벌크 커패시터 값의 출력 홀드업 시간을 최대화합니다.

OV/UV 핀에는 핀 오픈 상태를 검출하기 위해 5MΩ 풀다운이 있습니다.

OV/UV 핀 분배기에 권장되는 풀다운 저항 값은 20kΩ~22kΩ입니다. 저항 값이 너무 클 경우 핀 풀다운 전류로 인해 정확도가 떨어지고, 값이 작으면 전력 손실이 커집니다.

DT/BF 핀

DT/BF 핀은 VCC가 인가된 후 500μs 동안 높은 임피던스 모드에 진입하여 전압 분배기 비율을 센싱합니다. 그리고 HiperLCS가 스위칭을 시작하기 전에 핀 전압을 센싱합니다. 그림 15를 참조하십시오.

세 가지 버스트 기준값 중에 선택할 수 있습니다. 이에 따라 버스트 시작 및 중지 스위칭 주파수가 결정됩니다. 표 3을 참조하십시오.

적절한 선택을 위해 표 3에 따라 R_{FMAX} 에 대한 R_{BURST} 의 비율을 설정합니다.

버스트 기준값	R_{BURST} / R_{FMAX}
1	19
2	9
3	5.67

표 3. 버스트 기준값 선택 표

버스트 기준값 설정은 VCC가 파워 다운될 때까지 저장됩니다.

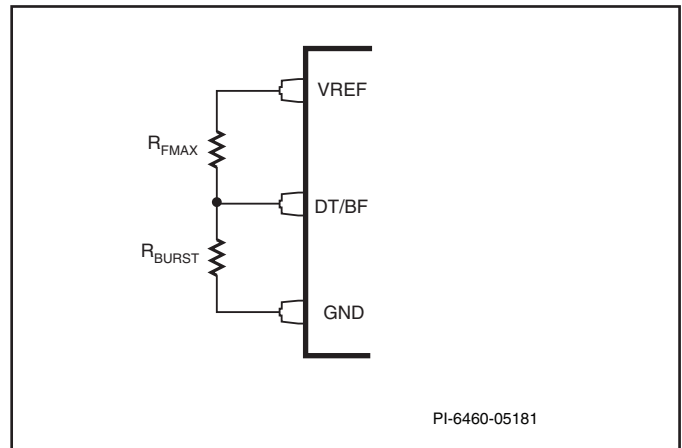


그림 15. DT/BF 핀 분배기

버스트 기준값 감지 후 그라운드 다이오드와 유사한 DT/BF 핀이 일반적으로 0.66V 및 1.1kΩ인 테브닌(Thevenin) 등가 회로를 사용하여 정상 모드로 동작하고 전류를 싱크합니다. 저항 분배기에서 핀으로 흐르는 전류에 따라 데드 타임 및 최대 주파수 f_{MAX} 가 결정됩니다. 데드 타임과 f_{MAX} 간의 관계는 고정되어 있으며 다음 식을 사용하여 대략적으로 계산됩니다.

$$f_{MAX} (kHz) = \frac{270000}{Dead-Time(ns)}$$

DT/BF 핀 전류와 f_{MAX} 간의 관계 및 스위칭 주파수와 FEEDBACK 핀 전류(특성 동일) 간 관계는 그림 16에 나와 있습니다.

버스트 모드 시작 및 중지 주파수 기준값은 DT/BF 핀의 저항 분배기 비율에 따라 설정되는 버스트 기준값에 따라 달라지는 f_{MAX} 의 비율값입니다.

버스트 기준값 설정	f_{START} / f_{MAX}	f_{STOP} / f_{MAX}
1	7/16	8/16
2	6/16	7/16
3	5/16	6/16

표 4. 공칭 버스트 시작 주파수 및 중지 주파수(f_{MAX} 비율)

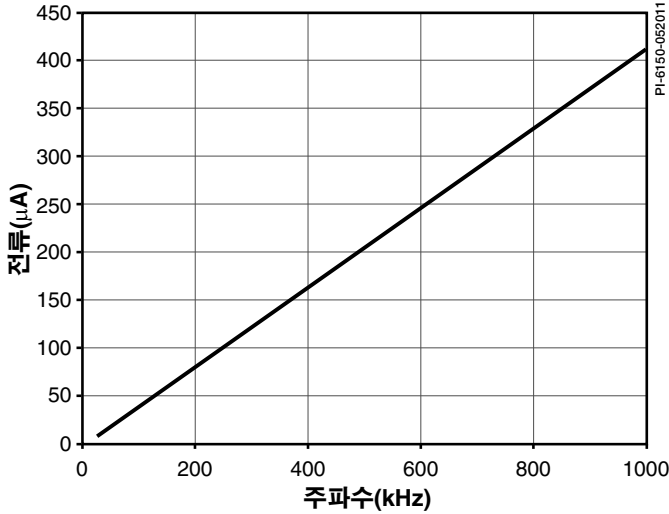


그림 16. FEEDBACK 핀 및 DT/BF 핀 전류와 주파수

예를 들어 BT2가 선택되고 f_{MAX} 가 800kHz인 경우 f_{START} 는 300kHz이고 f_{STOP} 은 350kHz입니다. 정상 동작 시 부하는 감소하고 주파수가 350kHz로 상승하면 스위칭은 중지됩니다. 이로 인해 출력 전압이 감소하고 피드백 루프가 FEEDBACK 핀 전류를 감소시킵니다. 전류가 300kHz에 해당하는 값으로 감소하면 스위칭이 시작되고 사이클이 반복됩니다. 그러나 스타트업 모드에서는 f_{STOP} 과 f_{MAX} (위 예에서는 250kHz 및 800kHz) 사이의 주파수에서 스위칭할 수 있습니다. 스위칭 주파수가 f_{STOP} 아래로 떨어지면 스타트업 모드가 종료되고, 피드백 루프가 f_{STOP} 보다 큰 스위칭 주파수를 생성하려고 하면 HiperLCS가 버스트 모드에 진입하게 됩니다.

f_{MAX} 는 HiperLCS가 오토-리스타트 사이클의 OFF 상태에 있거나 스위칭하기 전 구동 지연 상태인 경우에 내부 카운터가 실행되는 주파수입니다.

최소 권장 데드 타임은 275ns이고 따라서 최대 f_{MAX} 설정은 1MHz입니다.

R_{FMAX} 의 선택을 간소화하려면 그림 17에서 선택 곡선을 참조하십시오.

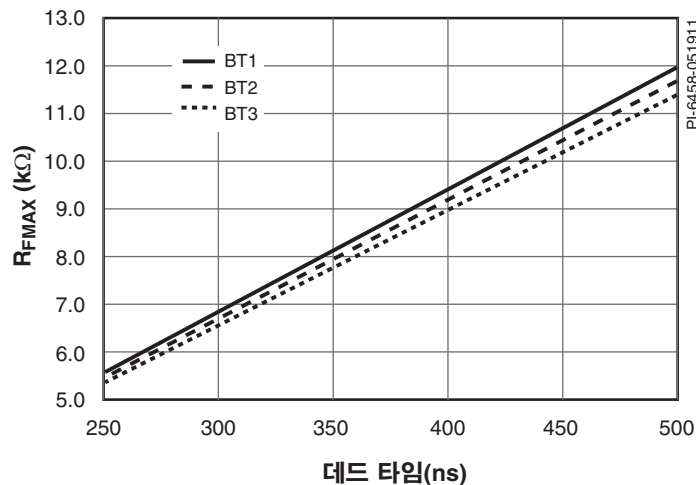


그림 17. 세 가지 버스트 기준값에 따른 R_{FMAX} 와 데드 타임

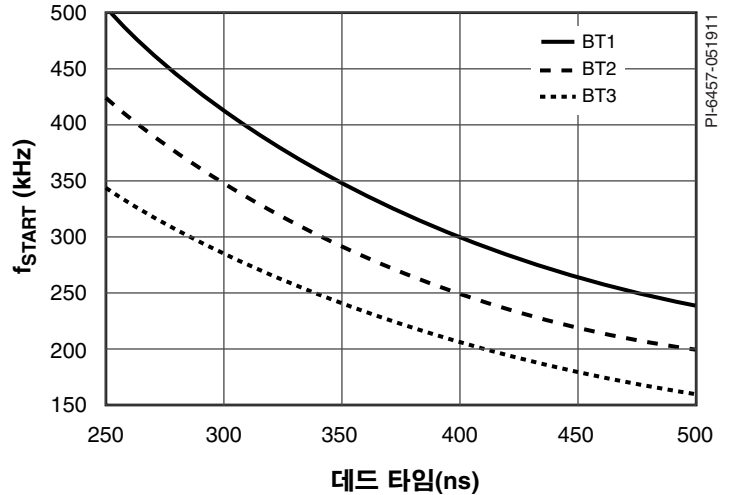


그림 18. 여러 버스트 기준값(BT1, BT2, BT3)에 따른 f_{START} (하단 버스트 기준 주파수)와 데드 타임

f_{STOP} 대 f_{START} 비율은 고정되며 버스트 기준값 설정에 따라 달라집니다(표 5 참조).

버스트 기준값설정	f_{STOP} / f_{START}
1	1.14
2	1.17
3	1.20

표 5. f_{STOP}/f_{START} 비율과 버스트 기준값 선택.

버스트 모드에서 주파수는 f_{START} 에서 f_{STOP} 으로 변한 다음 스위칭이 중지되고 난 뒤 사이클이 반복됩니다.

FEEDBACK 핀

FEEDBACK 핀은 전압 레귤레이션 피드백 핀입니다. 0.65V 및 2.5kΩ의 일반적 테브닌(Thevenin) 등가 회로를 포함합니다. 정상 동작 시 이 핀은 전류를 싱크합니다. 그리고 오토-리스타트 OFF 상태 및 스타트업 전 지연 시간 동안 소프트 스타트 커패시터를 방전시키기 위해 내부적으로 V_{REF} 에 풀업됩니다. 핀에 유입되는 전류에 따라 스위칭 주파수가 달라집니다. 전류가 높을수록 주파수도 높아지고, 따라서 LLC 출력 전압이 감소합니다. 일반적인 애플리케이션에서 V_{REF} 핀에 연결된 오프토퍼는 저항 네트워크를 통해 FEEDBACK 핀에서 풀업됩니다. 오프토퍼는 출력이 증가할 때 FEEDBACK 핀 전류를 증가시키는 소스로 구성됩니다. 오프토퍼, FEEDBACK 핀 및 V_{REF} 핀 간 저항 네트워크에 따라 오프토퍼가 컷오프에서 포화 상태로 전환되면서 명령할 수 있는 최소 및 최대 FEEDBACK 핀 전류(그리고 최소 및 최대 동작 주파수)가 결정됩니다. 이러한 네트워크에는 소프트 스타트 타이밍 커패시터 C_{START} (그림 19)도 포함합니다.

이 네트워크에 의해 설정되는 최소 주파수는 최소 입력 전압에서 파워트레인에 필요한 주파수보다 낮아야 합니다. 그림 19에서는 R_{FMIN} 과 R_{START} 의 합계로 최소 주파수가 결정됩니다. 오프토퍼가 차단된 경우에는 이러한 두 저항에 의해 FEEDBACK 핀 전류가 결정됩니다. 정상 동작 중에는 C_{START} 가 무시될 수 있습니다. 스타트업 주파수를 결정하는 R_{START} 와 버스트 모드 시작(하단) 기준 주파수인 f_{START} 를 혼동하지 않도록 합니다.

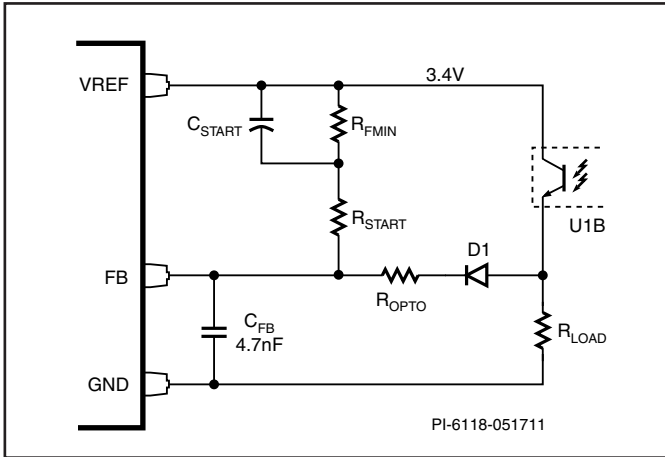


그림 19. 추가 부하 저항이 있는 피드백 네트워크

스타트업 시 C_{START} 의 전압은 0이 되므로 FEEDBACK 핀 전류는 R_{START} 의 값에 따라 결정됩니다. 최소 스타트업 피크 전류의 경우 스타트업 스위칭 주파수가 f_{MAX} 에서 시작하도록 FEEDBACK 핀 전류가 DT/BF 핀 전류와 일치하거나 약간 초과해야 합니다. R_{START} 의 결과 값은 DT/BF 핀의 풀업 저항 값보다 약 10% 정도 낮습니다. C_{START} 가 충전됨에 따라 주파수는 낮아집니다. R_{START} 가 f_{MAX} 에서 스타트업을 하게하는 C_{START} 보다 작으면 스타트업 스위칭 전에 추가 지연이 발생합니다. PIXIs HiperLCS 스프레드시트를 참조하십시오.

저항 R_{LOAD} 는 버스트 모드 중에 옴토커플러에 부하를 제공하고 큰 신호 과도 응답 속도를 높입니다. 권장 값은 ~4.7kΩ입니다. 다이오드 D1은 옴토커플러가 차단된 경우 R_{LOAD} 가 R_{FMIN} 을 로드하지 못하게 합니다. 다이오드 D1은 생략될 수 있으며, 저항 값의 조합으로 원하는 f_{MIN} 을 달성할 수 있지만 결과 오차는 적습니다. 저항 R_{OPTO} 는 ESD 및 PSU의 서지 내성을 향상시킵니다. 또한 버스트 모드 출력 리플 전압을 높입니다. 이 저항의 최대값은 옴토커플러가 포화 상태인 경우 FEEDBACK 핀의 전류는 DT/BF 핀 전류와 같도록, 전압은 2.0V가 되도록 설정해야 합니다(PIXIs HiperLCS 스프레드시트 참조). 이는 피드백 루프가 f_{STOP} 아래로 스위칭 주파수가 떨어지도록 허용하지 않아 HiperLCS가 스타트업 모드를 종료하지 않는 경우 f_{MAX} 에서 버스트하여 경부하에서 레귤레이션할 수 있도록 하기 위함입니다. 그러나 f_{MAX} 에서 버스트할 경우 ZVS 손실로 인해 높은 내부 손실이 발생할 수 있으므로 이러한 상황은 피해야 합니다. 그림 20를 참조하십시오.

커패시터 C_{START} 는 스타트업 시, 브라운아웃 및 풀부하에서 측정된 피크 전류 바로 아래인 7 연속 사이클 피크 전류를 나타내는 최소 가능 값으로 지정해야 합니다. 값이 더 크면 스타트업 속도가 느려지고 f_{STOP} 에 도달하지 못할 가능성이 높아집니다. 이 경우 HiperLCS가 하이 라인 및 최소 부하에서 구동 중이면 스타트업 모드가 종료되지 못해서 결과적으로 HiperLCS가 f_{START} 와 f_{STOP} 사이가 아니라 f_{MAX} 에서 버스트됩니다.

R_{FMIN} 및 R_{START} 를 계산하려면 FEEDBACK 핀에서 VREF 핀으로의 공칭 저항을 설명하는 다음과 같은 식을 사용하십시오.

$$R_{FB} = \frac{3574}{f^{(0.6041 + 0.1193 \times \text{LOG}(f))}}$$

여기서 R_{FB} 는 kΩ이며 f는 kHz입니다.

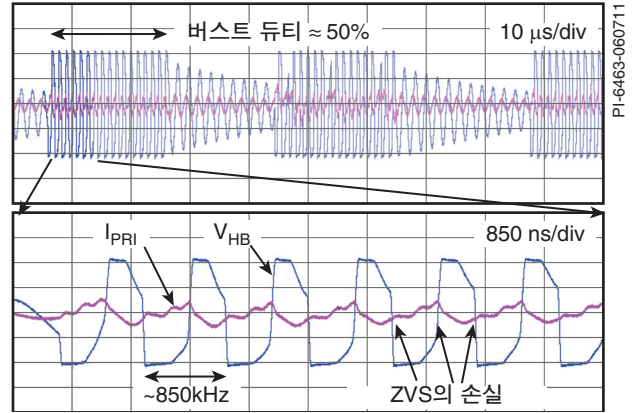


그림 20. f_{MAX} 에서 버스팅 시 ZVS의 손실로 인해 높은 내부 손실이 발생하며 이를 피해야 합니다.

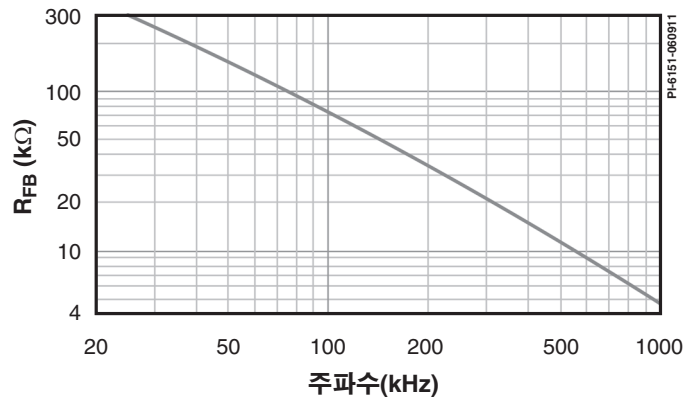


그림 21. VREF-FB 외부 저항과 주파수

f_{MAX} 에서 스타트업을 생성하는 최소 R_{START} 를 계산하려면 데드 타임 및 f_{MAX} 와 관련된 식에서처럼 위의 식에 $f = f_{MAX}$ 를 사용하십시오.

f_{MIN} 을 설정하려면 위의 식에 $f = f_{MIN} \times 0.93$ 을 사용하십시오. 여기서 0.93은 최악의 경우 주파수 오차가 -7%가 되더라도 주파수가 f_{MIN} 아래로 내려가서 레귤레이션을 $V_{BROWNOUT}$ 으로 보장하기 위함입니다.

R_{FB} 에 대해 계산된 결과 값을 사용하여 R_{FMIN} 을 계산하십시오.

$$R_{FMIN} = R_{FB} - R_{START}$$

R_{FMIN} 및 R_{START} 의 합계가 f_{MIN} 입니다.

4.7nF 디커플링 커패시터 C_{FB} (그림 19 참조)는 FEEDBACK 핀이 제공하는 2.5kΩ 입력 저항과 함께 LLC 전달 함수에 극점을 형성합니다. 이는 피드백 루프에 상당한 위상 지연(phase lag)을 추가할 수 있습니다. 크로스오버 주파수가 3kHz인 250kHz 설계의 일반 값은 4.7nF입니다. 루프 불안정성을 방지하기 위해 4.7nF 커패시터의 값은 임의로 높여서는 안 됩니다. 한편 불충분한 FEEDBACK 핀 바이패스 커패시턴스 또는 부적절한 레이아웃은 듀티 사이클 비대칭을 유발할 수 있습니다.

스타트업 및 오토-리스타트

스타트업 및 오토-리스타트 사이클의 OFF 상태 중에 FEEDBACK 핀이 VREF 핀에 내부적으로 풀업됩니다. 이렇게 되면 소프트 스타트 준비를 위해 출력 MOSFET이 OFF 상태로 유지되고 소프트 스타트 커패시터가 방전됩니다.

스타트업 시 이 상태는 주파수 f_{MAX} 에서 1024 클럭 사이클 동안 유지됩니다. 오토-리스타트의 OFF 상태 시 또는 VCC가 UVLO 기준값 이상으로 유지되는 동안 OV/UV 또는 IS 핀이 트리거된 경우에는 131,072 클럭 사이클 동안 유지됩니다.

1024 또는 131,072 사이클 후(경우에 따라), HiperLCS가 내부 풀업 트랜지스터를 턴 오프하고, 소프트 스타트 커패시터가 충전 시작합니다. 출력 MOSFET가 f_{MAX} 에서 스위칭하고, FEEDBACK 핀의 전류가 감소하며, 주파수가 떨어지기 시작하고, PSU 출력이 증가합니다.

예를 들어 f_{MAX} 가 800kHz인 경우, VCC 구동 후 스타트업 지연 시간은 1.3ms입니다. IS 또는 OV/UV 핀이 동작된 경우라면 리스타트 지연 시간 164ms를 갖는 오토-리스타트가 발생합니다.

FEEDBACK 핀에는 DT/BF 핀으로 흐르는 전류와 동일한 전류 제한이 적용됩니다. 이는 스타트업 시 소프트 스타트 커패시터를 충전하는 최대 전류를 제한합니다. R_{START} 가 이보다 작아서 스타트업에서 DT/BF 핀 전류가 FEEDBACK 핀 전류와 일치하게 되면 추가 지연 시간이 발생합니다. C_{START} 는 전류 제한 시 충전되고, 스위칭은 FEEDBACK 핀 전압이 2.0V 아래로 떨어진 경우에만 시작됩니다. 따라서 설계자는 원하는 경우 스타트업 지연 시간을 더 추가할 수 있습니다.

소프트 스타트 커패시터가 계속 충전됨에 따라 R_{START} 와 FEEDBACK 핀을 통과하는 전류가 감소하여 스위칭 주파수가 줄어듭니다. 출력 전압은 올라가고, 피드백 루프가 닫히는 경우에는 오토커플러가 전도되고 스위칭 주파수와 출력 전압을 제어하기 시작합니다.

원격 OFF

OV/UV 핀을 그라운드로 풀다운하거나 IS핀을 0.9V보다 높게 풀업하면 원격 OFF를 실행시킬 수 있습니다. 두 경우 모두 131,072의 리스타트 사이클이 발생합니다. VCC를 풀다운하여 디바이스를 종료할 수도 있고, 풀업하면 FEEDBACK 핀이 VREF 핀으로 풀업되어 소프트 스타트 커패시터가 방전됩니다(1024 f_{MAX} 클럭 사이클에 도달하는 경우일 때만). 이 방법을 사용할 경우 설계자는 VCC가 풀다운된 시간과 1024 사이클이 소프트 스타트 커패시터를 방전시키기에 충분하지 확인해야 합니다. 충분하지 않은 경우 과도한 1차측 전류로 인해 과전류 보호가 동작하지 않도록 로우 사이드 시작 주파수가 충분히 높아야 합니다.

IS 핀

IS 핀에는 일반적으로 0.5V와 0.9V의 2개 기준값이 적용됩니다. IS 핀은 작은 마이너스 전압과 전류를 견딜 수 있으므로 피크 감지기 또는 정류기 회로가 필요하지 않습니다. 이 핀은 역방향 바이어스 그라운드링 다이오드 등 회로를 포함하며 최대 5mA의 마이너스 전류를 견딜 수 있습니다. 1차측 전류는 1차측 B- 기준 전류 센싱 저항 또는 커패시터 전류 분배기 + 전류 센싱 저항 조합 회로에 의해 샘플링됩니다. 마이너스 전류를 5mA로 제한하려면 센싱 저항과 IS 핀 간에 최대값이 220Ω인 전류 제한 저항이 필요합니다.

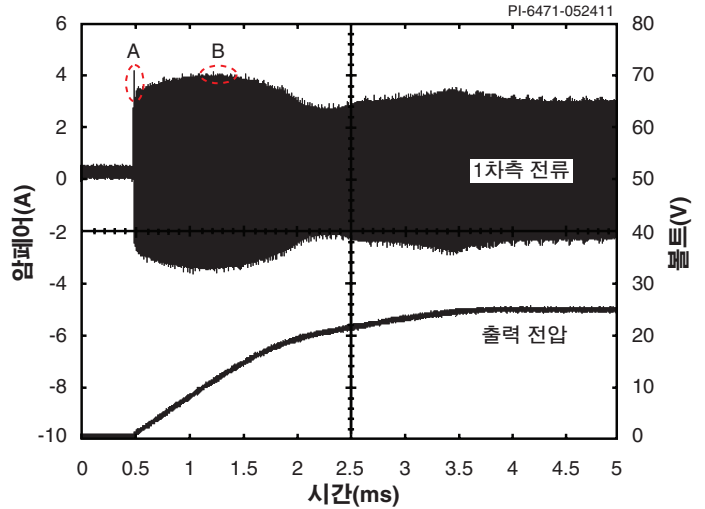


그림 22. 일반적인 스타트업 파형. 초기 전류 스파이크 'A'를 관찰하여 1 사이클 전류 제한 아래인지 확인합니다. f_{MAX} 가 높아지면 'A'는 감소합니다. 'B'의 피크가 최대 부하에서 $V_{BROWNOUT}$ 의 피크 전류 아래에 있도록 소프트 스타트 커패시터의 크기를 조정합니다.

최소값을 사용하면 IS 핀 바이패스 커패시터 값이 최대화되고, 따라서 RC 극점 주파수의 핀 노이즈 제거가 최대화됩니다. IS 핀은 0.5V보다 큰 펄스가 7개 연속으로 발생되면 리스타트를 실행시킵니다. 또한 단일 펄스가 0.9V를 초과해도 리스타트를 실행합니다. 최소 펄스 검색 시간은 일반적으로 30ns입니다. 즉, 펄스는 30ns 넘는 동안 기준 전압보다 높아야 합니다.

그림 23의 "전류 분배기(capacitive divider)" 회로는 전력 소모를 줄이고 단순 전류 센싱 저항 회로를 통해 효율을 개선합니다. 메인 공진 커패시터 C11과 센싱 커패시터 C12의 두 커패시터가 전류 분배기를 형성합니다. C12를 통해 라우팅된 1차측 전류 부분은 다음과 같습니다.

$$\frac{C12}{C11 + C12}$$

결과적으로 IS 핀의 전압은 다음과 같습니다.

$$I_P \times \frac{C12}{C11 + C12} \times R11$$

여기서 I_P 는 HB 핀부터 트랜스포머 1차측까지 흐르는 1차측 전류입니다. 센싱 커패시터의 전류는 센싱 저항 R11을 통과합니다. 저항 R11은 전류 제한을 조정합니다. R11의 신호, AC 전압은 로우 패스 필터 R12 및 C7부터 IS 핀까지 통과합니다. R11은 SOURCE 핀이 아니라 GROUND 핀으로 복귀합니다.

권장 직렬 저항 값 220Ω와 바이패스 커패시터는 로우 패스 필터를 형성하며, 시정수는 동작 주파수에서 전류 센싱 신호에 대해 상당한 감쇠를 유발해서는 안 됩니다. 감쇠 효과는 스타트업 전류 파형의 첫 번째 펄스에서 가장 크며, 회로 단락 테스트 중에 일반적으로 7 사이클 전류 제한을 동작시키는 올바른 셋다운에 영향을 미칠 수도 있습니다. IS 핀 바이패스 커패시터에 가까이 커플링된 프로브를 배치하고 1차측 전류와 파형을 비교하십시오.

버스트 모드 동작 및 조정

버스트 모드는 그림 24에서와 같은 일반적인 파형을 생성하게 됩니다. 버스트 펄스 트레인 중 스위치 주파수는 f_{START} 에서 f_{STOP} 으로 증가합니다.

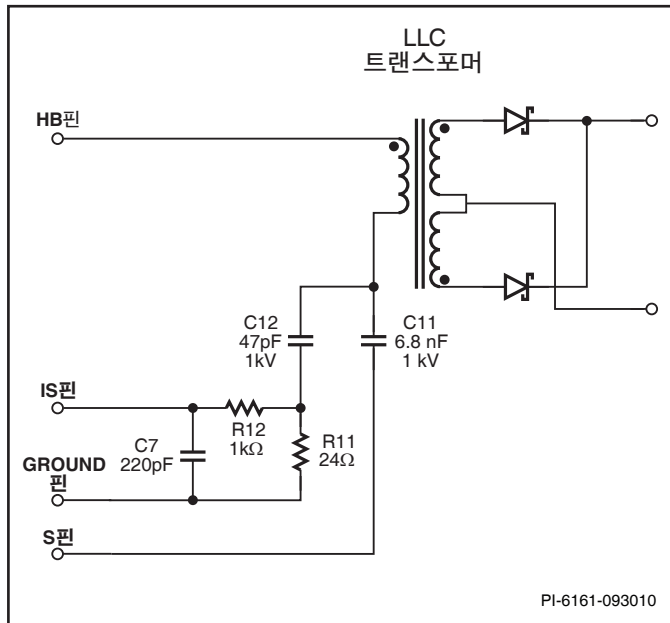


그림 23. 전류 분배기 전류 센싱 회로

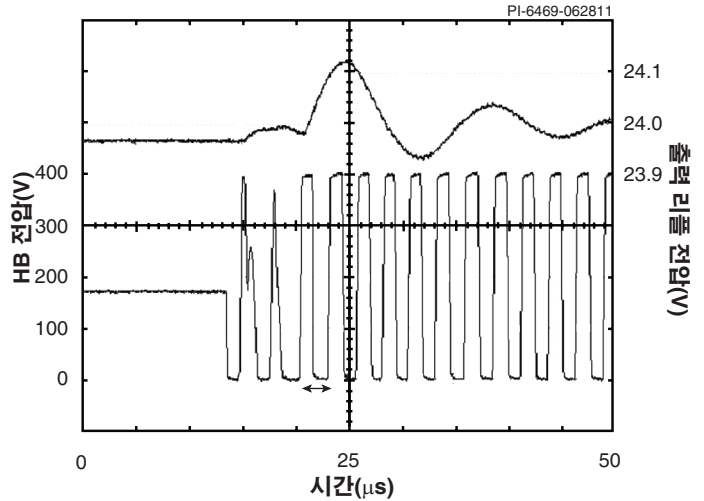


그림 25. 그림 24에서 버스트 펄스 트레인의 처음 몇 개 스위칭 사이클 확대한 모습. 처음 2개 사이클은 하이 사이드 드라이버가 아직 조정되지 않았음을 보여 줍니다. 이 경우 처음 몇 개 사이클의 스위칭 주파수는 f_{START} 335kHz입니다. 출력단의 링잉은 출력 필터에서 발생합니다.

버스트 펄스 트레인의 시작점에서 초기 출력 리플 스파이크가 무시된 경우, 출력 리플은 톱니 모양과 유사한 형태를 갖습니다. 그림 24에서 출력 리플 파형을 참조하십시오. HiperLCS가 스위칭될 때는 출력 전압이 증가합니다. 스위칭을 중지하면 출력 전압이 감소합니다. 톱니 모양의 위쪽 끝에서는 버스트 펄스 트레인이 종료되는데 피드백 루프가 주파수 = f_{STOP} 을 명령했기 때문입니다. 톱니 모양의 아래쪽 끝에서는 버스트 펄스 트레인이 시작되고 이는 피드백 루프가 주파수 = f_{START} 를 명령했기 때문입니다. 따라서 버스트 모드 제어는 톱니 모양의 위쪽과 아래쪽이 피드백 루프 계인에 의해 고정되는 히스테리시스 컨트롤러와 유사합니다. 톱니 모양의 하강선은 출력 커패시터가 방전되는 것을 의미합니다. dv/dt 와의 관계를 보면 다음과 같습니다.

$$I = C \times \frac{dv}{dt}$$

여기서 I는 부하 전류, C는 총 출력 커패시턴스입니다.

톱니 모양의 상승선은 파워트레인의 공급 전류와 부하 전류의 차이에 따라 달라집니다. 본 설계에서 상승선은 입력 전압과 함께 증가합니다.

이때 버스트 반복율(주파수)은 부하와 함께 증가합니다. 파워트레인이 레귤레이션할 수 있는 지점인 주파수 $< f_{STOP}$ 에서 버스트가 중지됩니다. 부하 전류가 감소하면(과부하에서) 주파수가 증가하고, f_{STOP} 에 다다르면 버스트가 시작됩니다.

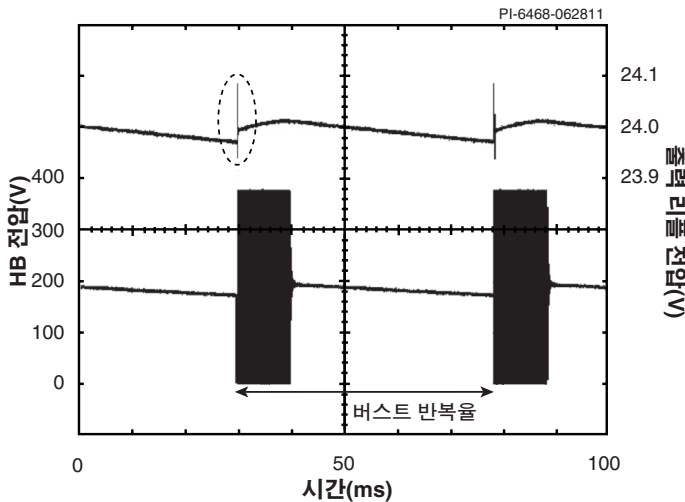


그림 24. 버스트 모드의 일반적인 파형. 무부하에서의 24V/150W HiperLCS 설계. 초기 스파이크(동그라미 표시) 크기는 포스트 필터 전해 커패시터 ESR에 따라 달라집니다.

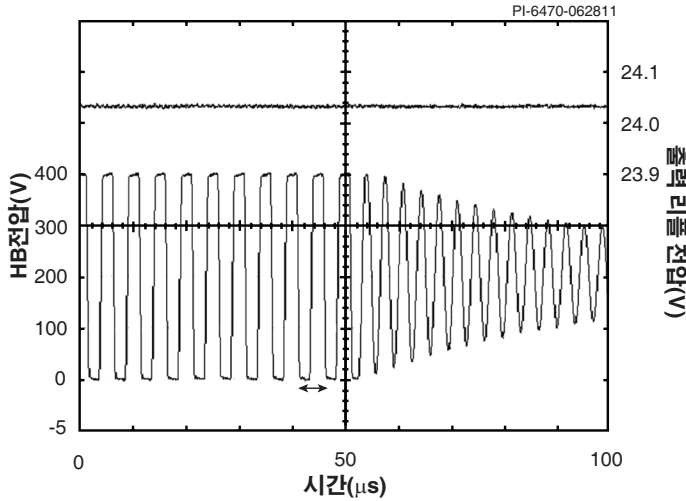


그림 26. 버스트 펄스 트레인(그림 24)의 마지막 몇 개 스위칭 사이클 확대한 모습. 이 경우 마지막 몇 개 사이클의 스위칭 주파수(f_{STOP})는 383kHz입니다(화살표 부분). 스위칭이 중지된 후 V_{HB} 의 링잉은 MOSFET 커패시턴스의 1차측 인덕턴스 링잉입니다.

일반적인 설계에서 f_{START} 는 스위칭 주파수보다 20-40% 이상 높은 값으로 선택해야 합니다. 그림 18에서는 f_{START} 와 데드 타임의 상관 관계를 보여 주고, 표 5에서는 f_{START} 에 대한 f_{STOP} 의 비율과 버스트 기준값 설정치를 보여 줍니다. 경우에 따라 설계자는 f_{START} 및 f_{STOP} 을 변경하기 위해 데드 타임을 약간 변경하도록 선택할 수 있습니다. 일부 설계는 부하가 0이고 입력 전압이 정격 전압을 넘었을 때에만 버스트 모드에 진입할 수 있습니다. f_{START} 가 높으면 버스트가 시작되는 부하 기준값이 감소하고, 입력 전압 기준값이 감소하며, 버스트 모드의 출력 리플이 감소하지만 버스트 반복율은 증가하므로 일부 부하 라인에서 가청 노이즈가 유입될 수 있습니다. f_{START} 의 선택에 따라 HiperLCS가 버스트 모드를 시작하고 해제되는 시점에서 발생하는 큰 신호 과도 응답에 영향을 줍니다.

최대 정격 절대값⁽⁶⁾

순간 반복 D 또는 HB 전류 ⁽⁵⁾	$V_{CC}, V_{CCH} = 11.5V, T_J = 25^\circ C$
LCS700.....	5.2A
LCS701.....	7.7A
LCS702.....	10.3A
LCS703.....	12.9A
LCS705.....	19.3A
LCS708.....	30.9A
순간 반복 D 또는 HB 전류 ⁽⁵⁾	$V_{CC}, V_{CCH} = 11.5V, T_J = 125^\circ C$
LCS700.....	4.2A
LCS701.....	6.2A
LCS702.....	8.3A
LCS703.....	10.4A
LCS705.....	15.6A
LCS708.....	24.9A
DRAIN 핀 전압 D ⁽¹⁾	-1.3V~530V
하프 브리지 전압, HB ⁽¹⁾	-1.3V~D + 0.5V
하프-브리지 전압 슬루율, HB.....	10V/ns
SUPPLY 핀 전압, VCC ⁽¹⁾ , VCCH ⁽²⁾	-0.3V~17.5V
G 핀 전압 ⁽¹⁾	-0.3V~0.3V
IS 핀 전압 ⁽³⁾	-0.65~-VREF + 0.3V
DT/BF 및 FEEDBACK 핀 전압 ⁽³⁾	-0.3~-VREF + 0.3V

- OV/UV 핀 전압⁽³⁾..... -0.3~-VCC + 0.3V
- 핀 전류(VREF, OV/UV, DT/BF, FEEDBACK, IS)..... ±100mA
- 정선 온도..... -40°C~150°C⁽⁷⁾
- 보관 온도..... -65°C~150°C
- 리드 온도⁽⁴⁾..... 260°C
- ESD 등급(JESD22-A114-B, HBM)..... 2kV
- 참고:
1. S를 기준으로 한 전압.
 2. HB를 기준으로 한 전압.
 3. G를 기준으로 한 전압.
 4. 케이스에서 1/16인치 거리를 두고 5초 동안 측정할 값.
 5. T_J 가 < 100°C 이고 드레인 전압이 ≤ 400VDC인 경우, 하나의 사이클의 피크 전류는 t < 460ns 동안 반복 최대 전류를 초과할 수 없습니다.
 6. 모든 핀의 최대 전압 정격 절대값이 지정되어 있습니다. 이 값은 초과해서는 안 되는 최대 조건의 절대값입니다. 최대 동작 조건과 최대 정격 절대값 조건 사이의 전압은 기간 내 발생 빈도가 드물고 짧아야 합니다(예: 일시적인 고장 상태). 이러한 조건이 최대 정격 절대값에 대한 제품의 신뢰성을 보장하지는 않지만, 제품에 즉각적인 손상 위험이 있는 범위를 벗어난 경우 적용된 전압의 최대값 수준에 대한 지침으로 사용됩니다.
 7. 최대 정선 온도 절대값은 디바이스 손상(가능성 또는 그 외 다른 경우)이 발생할 수 있는 범위를 넘어선 온도입니다.

열 저항

케이스 - 정선 열 저항^{(1,3):}

LCS700(θ_{JC}).....	7.6 °C/W	LCS701(ΔT_{J-OT}).....	4.0 °C/W
LCS701(θ_{JC}).....	7.0 °C/W	LCS702(ΔT_{J-OT}).....	3.5 °C/W
LCS702(θ_{JC}).....	6.6 °C/W	LCS703(ΔT_{J-OT}).....	3.2 °C/W
LCS703(θ_{JC}).....	6.2 °C/W	LCS705(ΔT_{J-OT}).....	2.8 °C/W
LCS705(θ_{JC}).....	5.9 °C/W	LCS708(ΔT_{J-OT}).....	2.5 °C/W
LCS708(θ_{JC}).....	5.5 °C/W		

히트싱크 - 정선 열 저항^{(1,2):}

LCS700(θ_{JH}).....	10.1 °C/W
LCS701(θ_{JH}).....	9.5 °C/W
LCS702(θ_{JH}).....	9.1 °C/W
LCS703(θ_{JH}).....	8.7 °C/W
LCS705(θ_{JH}).....	8.4 °C/W
LCS708(θ_{JH}).....	8.0 °C/W

OT 센서 - 최고 온도 정선 열 오프셋^{(1,2,4):}

LCS700(ΔT_{J-OT}).....	4.6 °C/W
----------------------------------	----------

참고:

1. 두 개의 전력 스위치가 각각 전체 전력의 절반을 소모합니다.
2. Thermalloy 열 페이스트가 균일하게 적용되는 알루미늄 히트싱크에 장착됩니다. 패키지 중심에 30N보다 큰 수직력이 적용되는 클립이 장착됩니다.
3. 케이스 - 정선 열 저항은 패키지 뒷면의 중심에서 측정된 최고 온도의 정선, 케이스 온도를 기준으로 합니다.
4. 최고 온도의 정선과 과열 센서 간 온도 차입니다.

파라미터	기호	조건		최소	일반	최대	단위
		SOURCE = 0V, $T_J = -40^\circ C \sim 125^\circ C^{(D)}$ $V_{CC} = 12V, V_{CCH} = 12V$ (특별히 지정되지 않은 경우)					
하프 브리지							
OFF 상태 전류	I_{DSS}	D-HB 또는 HB-S에서 측정 $T_J = 100^\circ C,$ $V_{CC} = 12V,$ $V_{CCH} = 12V,$ $V_D = 424V$	LCS700			60	μA
			LCS701			60	
			LCS702			65	
			LCS703			80	
			LCS705			120	
			LCS708			200	
항복 전압	BV_{DSS}	$V_{CC} = 12V, V_{CCH} = 12V, 250\mu A, T_J = 25^\circ C$ D-HB 또는 HB-S에서 측정	530				V

파라미터	기호	조건		최소	일반	최대	단위
		SOURCE = 0V, T _J = -40 °C ~ 125 °C ^(D) V _{CC} = 12V, V _{CCH} = 12V (특별히 지정되지 않은 경우)					
하프 브리지(계속)							
항복 전압 온도 계수	BV _{DSS(TC)}	D-HB 또는 HB-S에서 측정			0.2		V/°C
ON 상태 레지스턴스	R _{DS(ON)}	D-HB 또는 HB-S에서 측정 V _{CC} = 12V, V _{CCH} = 12V, T _J = 25 °C	LCS700, I = 0.8A		1.53	1.82	Ω
			LCS701, I = 1.2A		1.00	1.24	
			LCS702, I = 1.6A		0.74	0.92	
			LCS703, I = 2.0A		0.60	0.73	
			LCS705, I = 3.0A		0.40	0.49	
			LCS708, I = 4.8A		0.26	0.31	
ON 상태 레지스턴스	R _{DS(ON)}	D-HB 또는 HB-S에서 측정 V _{CC} = 12V, V _{CCH} = 12V, T _J = 100 °C	LCS700, I = 0.8A		2.15	2.63	Ω
			LCS701, I = 1.2A		1.42	1.78	
			LCS702, I = 1.6A		1.05	1.33	
			LCS703, I = 2.0A		0.85	1.06	
			LCS705, I = 3.0A		0.58	0.71	
			LCS708, I = 4.8A		0.36	0.45	
하프 브리지 커패시턴스	C _{HB}	효과적인 하프 브리지 커패시턴스. 0V에서 400V로 또는 400V에서 0V로 스위칭하는 V _{HB} 참고 A 참조	LCS700		134		pF
			LCS701		201		
			LCS702		268		
			LCS703		335		
			LCS705		503		
			LCS708		804		
다이오드 순방향 전압	V _{FWD}	HB-D 또는 S-HB에서 측정 T _J = 125 °C	LCS700, I = 0.8A		1.15		V
			LCS701, I = 1.2A		1.15		
			LCS702, I = 1.6A		1.15		
			LCS703, I = 2.0A		1.15		
			LCS705, I = 3.0A		1.15		
			LCS708, I = 4.8A		1.15		
파워 서플라이							
VCC 서플라이 전압 범위	V _{CC}	참고 C 참조		11.4	12	15	V
VCCH 서플라이 전압 범위	V _{CCH}	참고 C 참조		11.4	12	15	V
스타트업 전류	I _{CC(OFF)}	저전압 록아웃 상태: V _{CC} = 7V			120	170	μA
보호동작 시 전류	I _{CC(INHIBIT)}	V _{CC} = 12V, 0V/UV < V _{SD(L)}			450	650	μA
VCC 작동 전류	I _{CC(ON)}	V _{CC} = 12V에서 일반적인 수치 V _{CC} = 15V에서 최대값, 300kHz에서 측정, HB 오픈 및 V _D = 15V	LCS700		2.8	5.2	mA
			LCS701		3.3	5.8	
			LCS702		3.8	6.5	
			LCS703		4.2	7.1	
			LCS705		5.4	8.8	
			LCS708		7.4	11.8	
VCCH 작동 전류	I _{CCH(ON)}	V _{CCH} = 12V에서 일반적인 수치 V _{CCH} = 15V에서 최대값, 300kHz에서 측정, HB 오픈 및 V _D = 15V	LCS700		2.4	4.6	mA
			LCS701		2.9	5.2	
			LCS702		3.3	5.8	
			LCS703		3.7	6.4	
			LCS705		4.8	7.9	
			LCS708		6.8	10.7	

파라미터	기호	조건	최소	일반	최대	단위
		SOURCE = 0V, T _J = -40 °C ~ 125 °C ^(D) V _{CC} = 12V, V _{CCH} = 12V (특별히 지정되지 않은 경우)				
VCCH 서플라이 저전압 록아웃						
VCC 시작 기준값	V _{UVLO(+)}	V _{CC} 가 UVLO+, T _J = 0 °C ~ 100 °C를 초과하면 디바이스의 UVLO 상태 종료	10	10.5	11.4	V
VCC 섰다운 기준값	V _{UVLO(-)}	V _{CC} 가 UVLO+ 아래로 떨어지고 T _J = 0 °C ~ 100 °C이면 디바이스의 UVLO 상태 시작	9.1	9.5	10.5	V
VCC 스타트업/섰다운 히스테리시스	V _{UVLO(HYST)}	T _J = 0 °C ~ 100 °C	0.7	1.0	1.2	V
VCCH 시작 기준값	V _{UVLO(H+)}	V _{CCH} 가 UVLOH+를 초과하면 드라이버의 UVLO 상태 종료	8.2	8.5	8.9	V
VCCH 섰다운 기준값	V _{UVLO(H-)}	V _{CCH} 가 UVLOH- 아래로 떨어지면 드라이버의 UVLO 상태 시작	7.2	7.5	7.9	V
VCCH 스타트업/섰다운 히스테리시스	V _{UVLO(H)HYST}		0.8	1.0	1.2	V
고압 서플라이 저전압/과전압 사용 가능						
OV/UV 과전압 섰다운 기준값	V _{OV(H)}	과전압 동작중지 기준점	129	131	133	V _{SD(H)} 의 %
OV/UV 과전압 회복 기준값	V _{OV(L)}	과전압 재 동작 기준값	124	126	128	V _{SD(H)} 의 %
OV/UV 저전압 시작 기준값	V _{SD(H)}	저전압 재 동작 기준값	2.35	2.40	2.45	V
OV/UV 저전압 섰다운 기준값	V _{SD(L)}	저전압 동작중지 기준점	77	79	81	V _{SD(H)} 의 %
OV/UV 핀 입력 저항	R _{IN(OVUV)}	G에 대한 OV/UV 핀 저항 T _J = 25 °C	4.0	5.0	6.0	MΩ
OV/UV 핀 입력 저항 온도 계수	R _{IN(OVUVTC)}			-0.4		%/°C
참조						
레퍼런스 전압	V _{REF}	I _{REF} = 4mA	3.20	3.40	3.50	V
VREF 핀의 전류 소스 용량	I _{REF}				4	mA
V _{REF} 커패시턴스	C _{REF}	VREF 핀에 필요한 외부 커플링	1			μF
LLC 오실레이터						
주파수 범위	F _{RANGE}		25		1000	kHz
최소 주파수 제한의 정확도	F _{MIN(ACC)}	R _{FB} = 37.9kΩ ~ V _{REF} , 180kHz	-5.0		5.0	%
	F _{MIN(ACL)}	R _{FB} = 154kΩ ~ V _{REF} , 48kHz T _J = 25 °C	-7.5		7.5	
최대 주파수 제한의 정확도	F _{MAX(ACC)}	I _{FB} = I _{DT/BF} , R _{FMAX} = 12.5kΩ, F _{MAX} = 510kHz, T _J = 0 °C ~ 100 °C	-7.5		7.5	%
듀티 균형	D _{LLC}	하프 브리지 파형의 듀티 대칭, C _{FB} = 4.7nF, C _{DT/BF} = 4.7nF, 250kHz 권장 레이아웃 사용	49		51	%
데드 타임 ^B	t _D	R _{FMAX} = 7kΩ, R _{BURST} = 39.6kΩ		330		ns
DT/BF 제어 전류 범위	I _{DT/BF}		30		430	μA

파라미터	기호	조건 SOURCE = 0V, T _J = -40 °C ~ 125 °C ^(D) V _{CC} = 12V, V _{OCH} = 12V (특별히 지정되지 않은 경우)	최소	일반	최대	단위
LLC 오실레이터(계속)						
LLC 스위칭을 중지하기 위한 I _{FB} 기준값	I _{STOP1}	버스트 설정 BT1을 위해 소프트 스타트 모드를 종료한 후 기준값 적용		52.0		I _{DT/BF} 의 %
	I _{STOP2}	버스트 설정 BT2를 위해 소프트 스타트 모드를 종료한 후 기준값 적용		46.0		
	I _{STOP3}	버스트 설정 BT3을 위해 소프트 스타트 모드를 종료한 후 기준값 적용		39.0		
I _{FB} 기준값 히스테리시스 (Hysteresis)	I _{BURST(HYST)}	I _{START} 는 I _{STOP} 보다 낮은 I _{BURST(HYST)} 임	5	6.8	8	I _{DT/BF} 의 %
버스트 설정을 프로그래밍하기 위한 DT/BF 전압	V _{BT1}	스타트업 시 버스트 설정 BT1을 사용하기 위해 필요한 V _{DT/BF}	93.5	95	96.3	V _{REF} 의 %
	V _{BT2}	스타트업 시 버스트 설정 BT2를 사용하기 위해 필요한 V _{DT/BF}	88.5	90	91.3	
	V _{BT3}	스타트업 시 버스트 설정 BT3을 사용하기 위해 필요한 V _{DT/BF}	83.5	85	86.3	
DT/BF의 R _{FMAX} , R _{BURST} 및 디커플링 커패시터 조합에 대한 시정수	RC _{DT/BF}	이 시정수는 버스트 모드의 올바른 설정을 위해 지정된 최대값보다 작아야 함			100	μs
피드백 전류 최대값	I _{FB}	I _{FB} 에 따라 설정될 수 있는 최대 제어 주파수를 결정함		100		%I _{DT/BF}
피드백 제어 전류 범위	I _{FB}	I _{FB} 는 DT/BF에 대한 전류에 의해 제한됨	15		430	μA
피드백 기준 전압	V _{FB}	FB 입력이 V _{FB} , 30μA < I _{FB} < I _{DT/BF} 와 직렬로 연결된 R _{IN(FB)} 으로 나타남		0.65		V
피드백 입력 저항	R _{IN(FB)}	FB 입력이 V _{FB} , 30μA < I _{FB} < I _{DT/BF} 와 직렬로 연결된 R _{IN(FB)} 으로 나타남		2.5		kΩ
소프트 스타트 시 피드백 입력 저항	R _{FB(SS)}	소프트 스타트 지연 간격 동안, 혹은 OV/UV < V _{SD} 및 OV/UV > V _{OV} 의 경우 FB 입력이 V _{REF} 와 직렬로 연결된 R _{FB(SS)} 로 나타남		750		Ω
과전류 보호						
빠른 과전류 고장 전압 기준값 ^A	V _{IS(F)}		0.855	0.905	0.955	V
느린 과전류 고장 전압 기준값	V _{IS(S)}	7 LLC 클락 사이클	0.455	0.505	0.555	V
과전류 고장 펄스 폭	t _{IS}	최소 시간 V _{IS} 가 사이클당 V _{IS(F)} /V _{IS(S)} 를 초과하여 고장 보호 기능이 트리거됨		30		ns
과열 보호						
과열 섯다운 기준값 ^A	T _{OT}			125		°C

참고:

- A. 설계에 의해 보장됨
- B. 공진 ZVS 조건에서 HB 핀에 일반적으로 나타나는 데드 타임
- C. 데이터 시트 전력표에 지정된 전력 용량을 달성하기 위한 VCC/VCCH 작동 범위
- D. 동작이 과열 섯다운에 따라 제한될 가능성이 있음

일반적 성능 특성

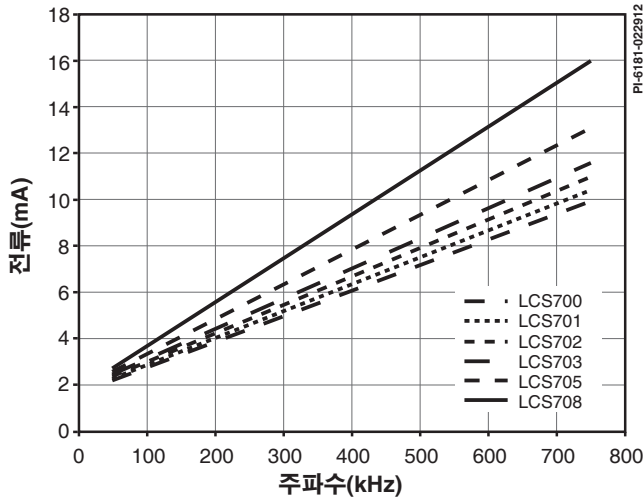


그림 27. V_{CC} 전류와 주파수

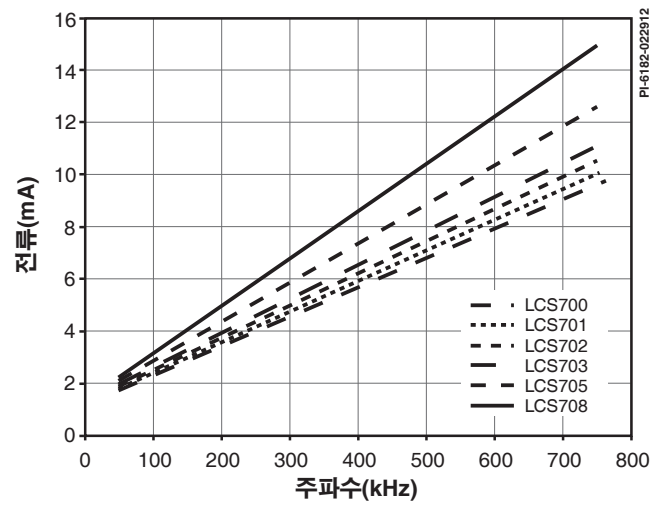


그림 28. V_{CH} 전류와 주파수

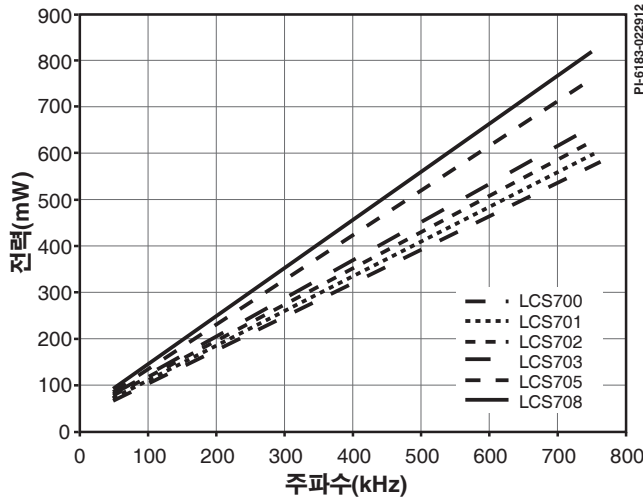


그림 29. 제어 전력과 주파수

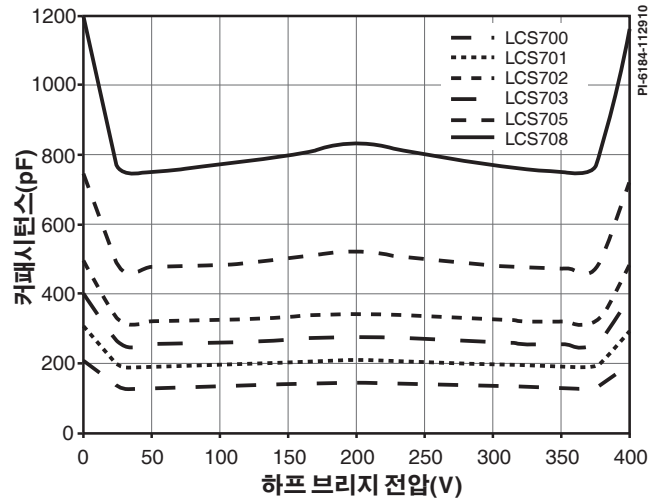


그림 30. 하프 브리지 소신호 커패시턴스와 하프 브리지 전압

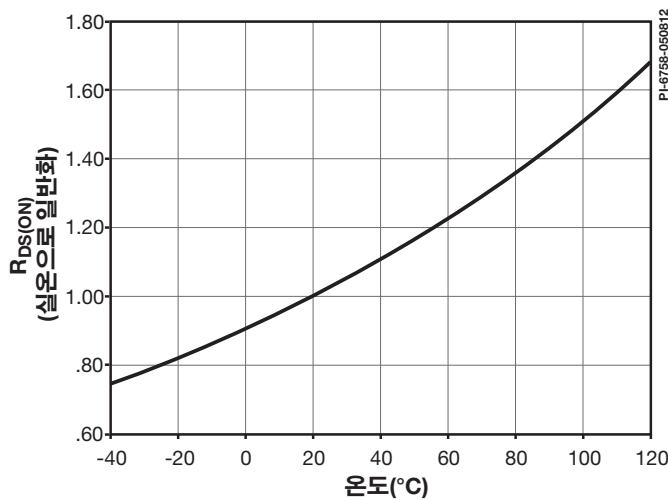


그림 31. 일반화된 $R_{DS(ON)}$ 와 온도

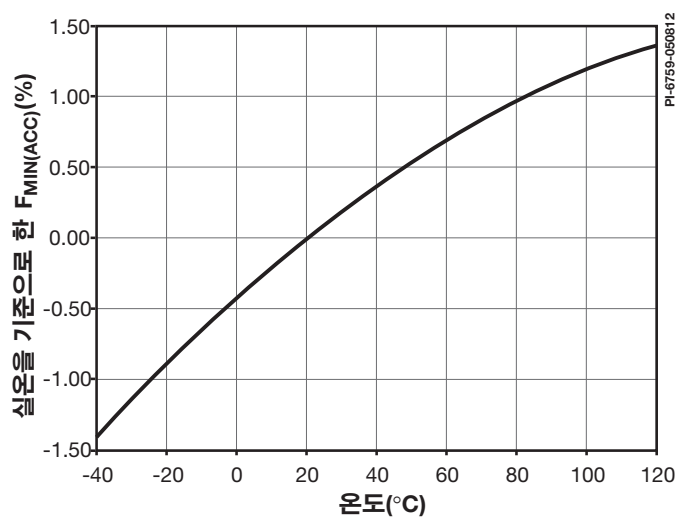


그림 32. 일반적 $F_{MIN(ACC)}$ 변이와 온도

일반적 성능 특성

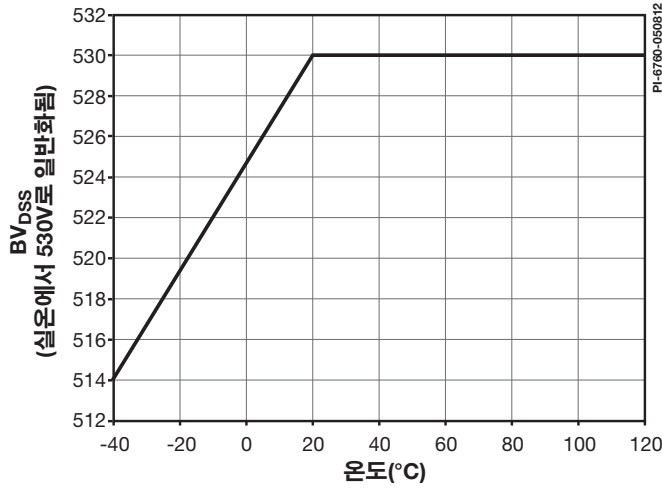


그림 33. 일반화된 BV_{DSS} 와 온도

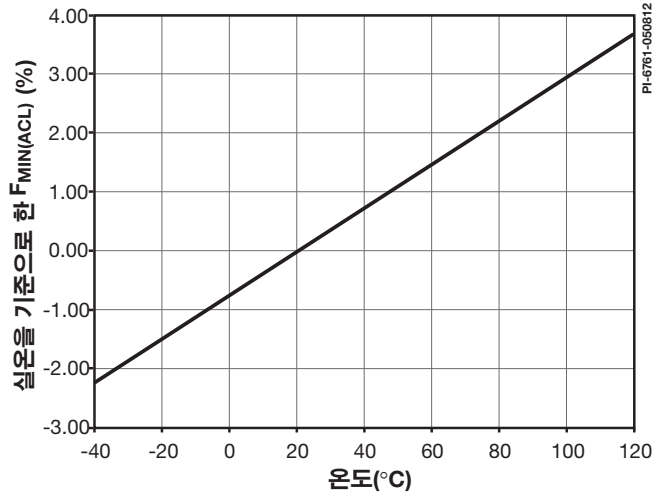


그림 34. 일반적 $F_{MIN(ACL)}$ 과 온도

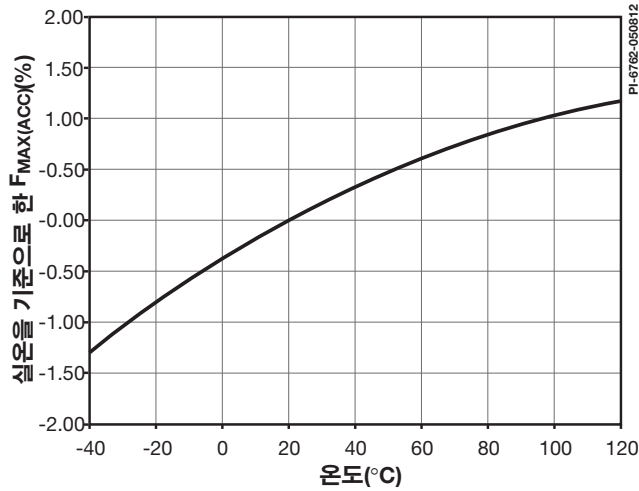


그림 35. 일반적 $F_{MAX(ACC)}$ 와 온도

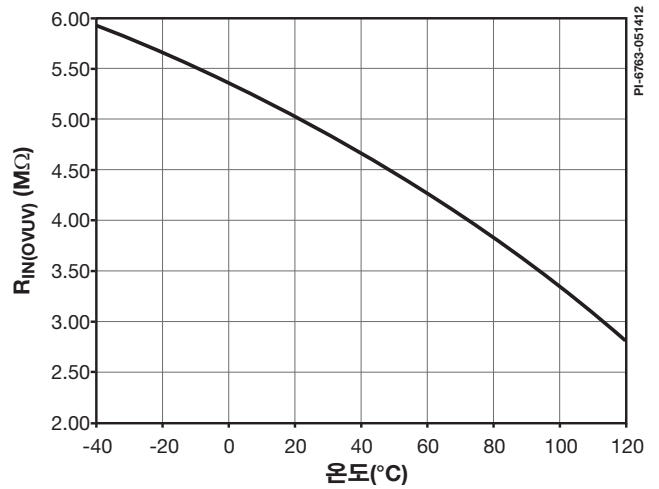


그림 36. 일반적 $R_{IN(OVUV)}$ 과 온도

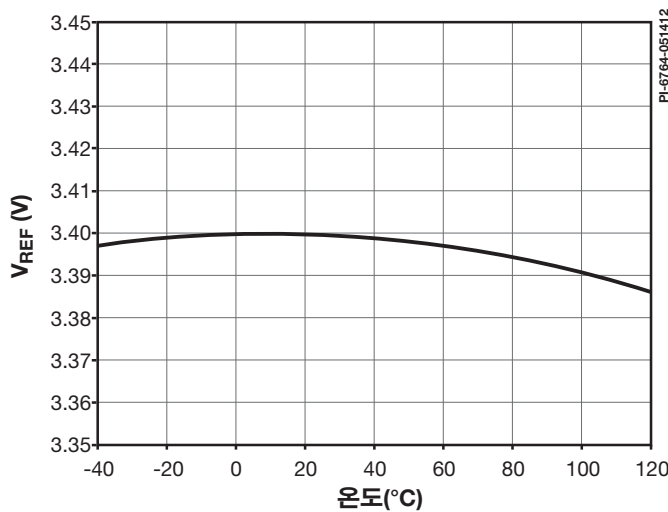


그림 37. 일반적 V_{REF} 와 온도

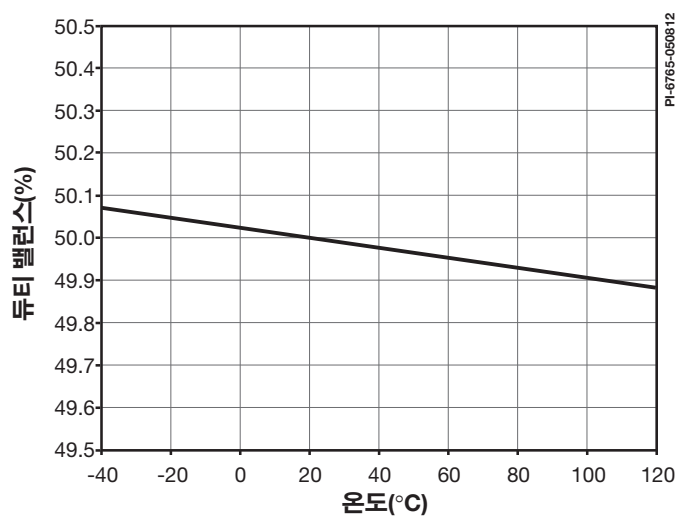


그림 38. 일반적 듀티 균형과 온도

일반적 성능 특성

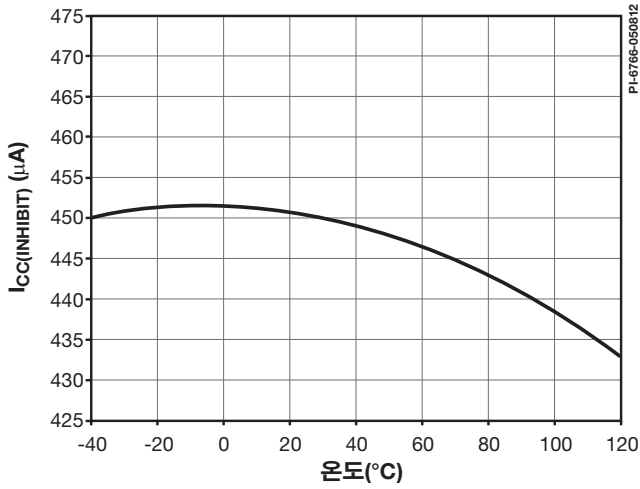


그림 39. 일반적 $I_{CC(INHIBIT)}$ 와 온도

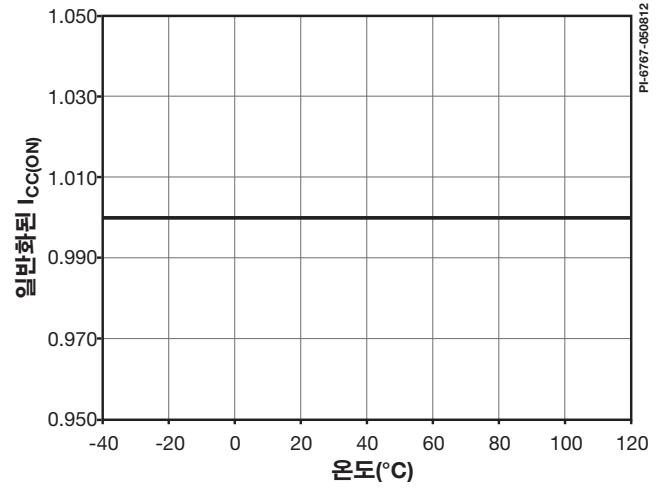


그림 40. 일반화된 $I_{CC(ON)}$ 와 온도

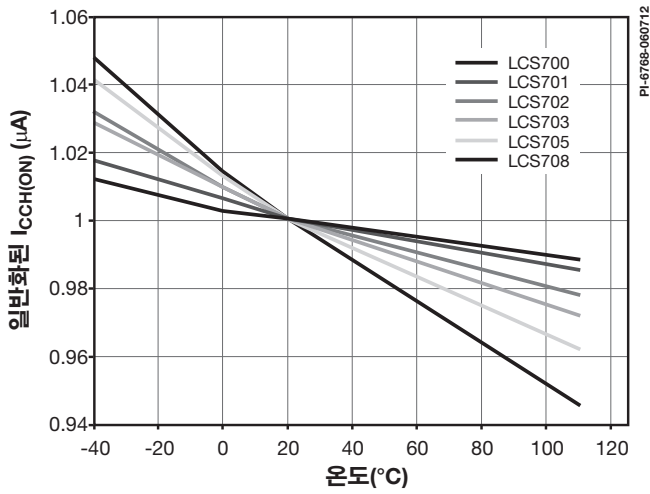


그림 41. 일반적 $I_{CCH(ON)}$ 와 온도(실온으로 일반화됨)

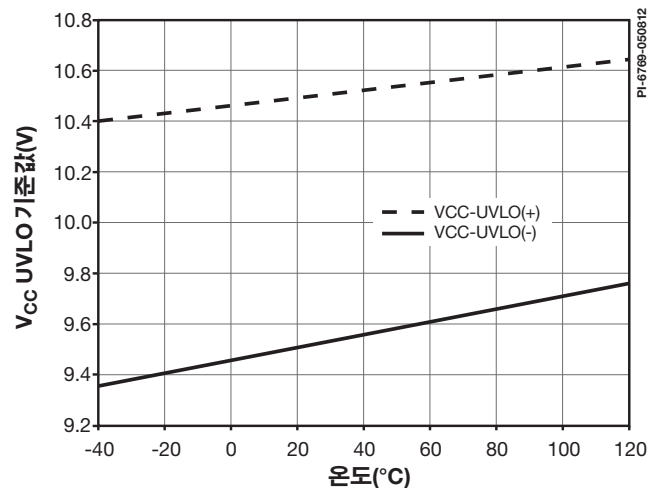


그림 42. 일반적 $V_{CC UVLO}$ 와 온도

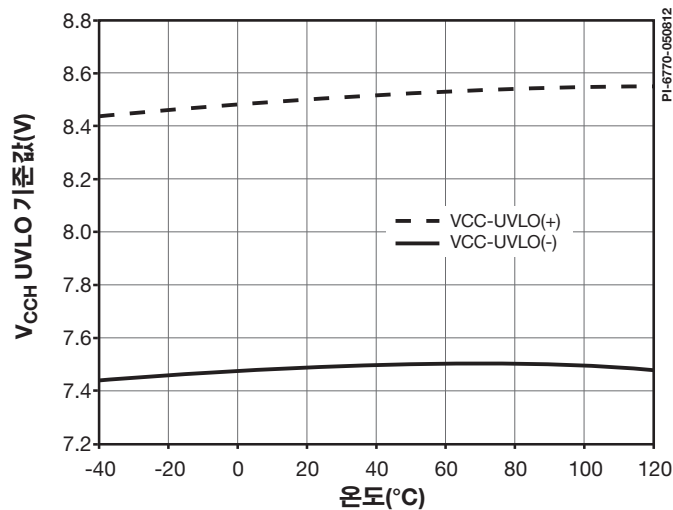
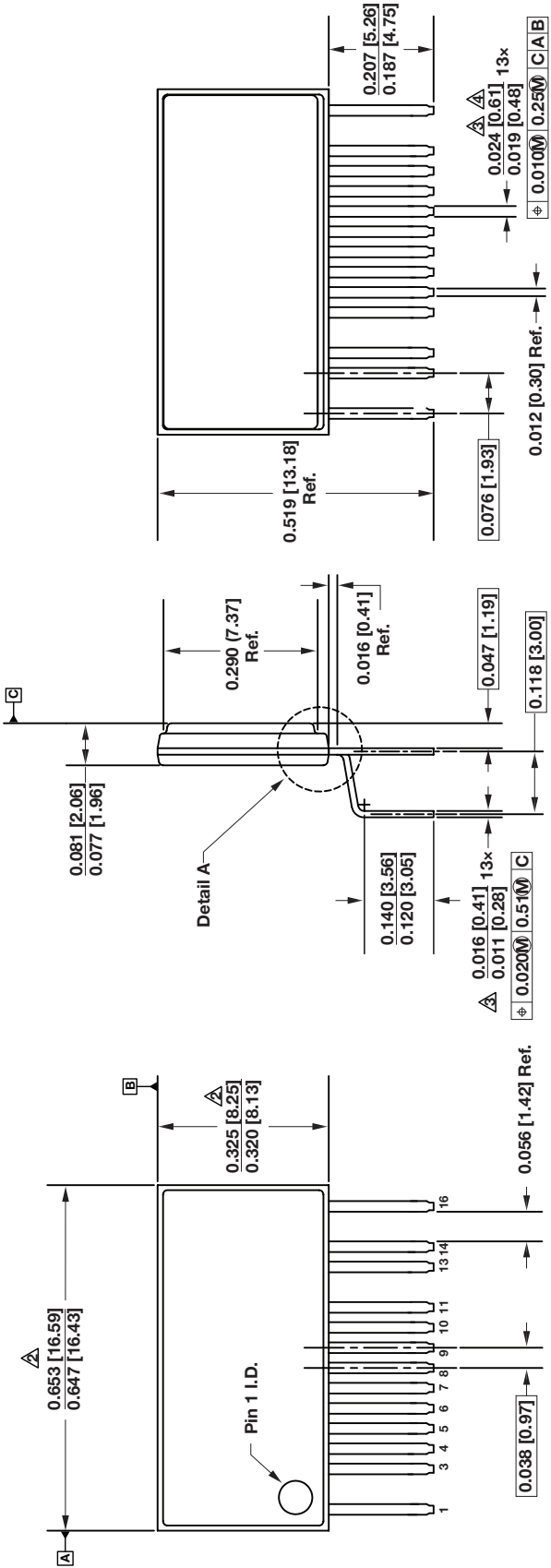


그림 43. 일반적 $V_{CCH UVLO}$ 와 온도

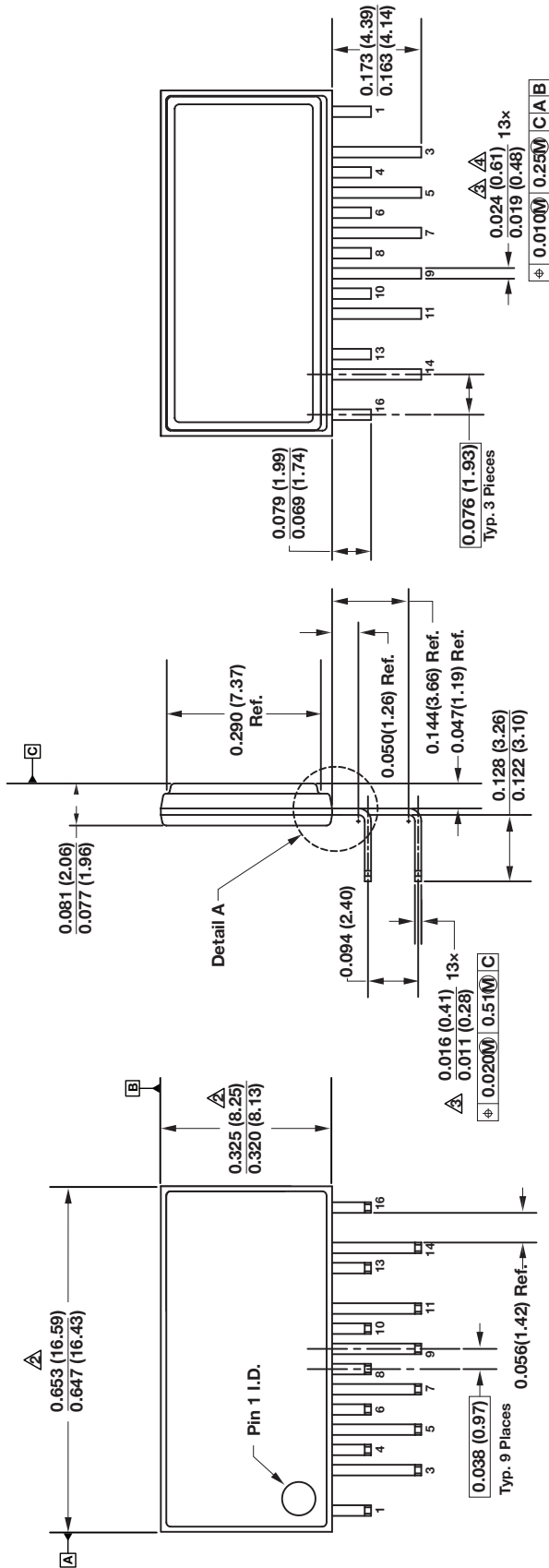
eSIP-16J(H 패키지)



- 참고:
1. ASME Y14.5M-1994당 치수 및 공차입니다.
 2. 표시된 치수는 몰드 플래시(Mold Flash), 타이 바 버(Tie Bar Burr), 게이트 버(Gate Burr), 인터리드 플래시(Interlead Flash)를 포함하지 않는 플라스틱 본체의 치수이지만 플라스틱 본체의 뒷면과 이렛면의 불일치한 요소가 포함됩니다. 최대 몰드 돌출은 측면당 0.007(0.18)입니다.
 3. 표시된 치수에는 도금 두께가 포함됩니다.
 4. 인터리드 플래시(Interlead Flash) 또는 돌출이 포함되지 않습니다.
 5. 제어 치수 단위는 인치(inch)이며 밀리미터(mm) 치수는 괄호 안에 표시하였습니다.

PL-6632-120211

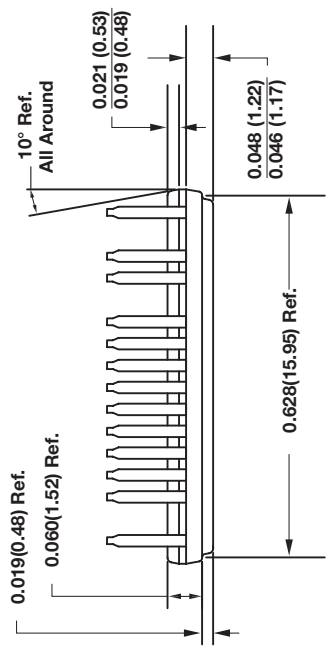
eSIP-16K(L 패키지)



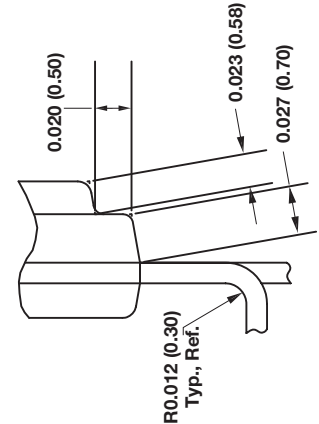
FRONT VIEW

SIDE VIEW

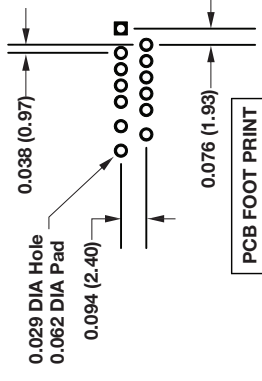
BACK VIEW



END VIEW



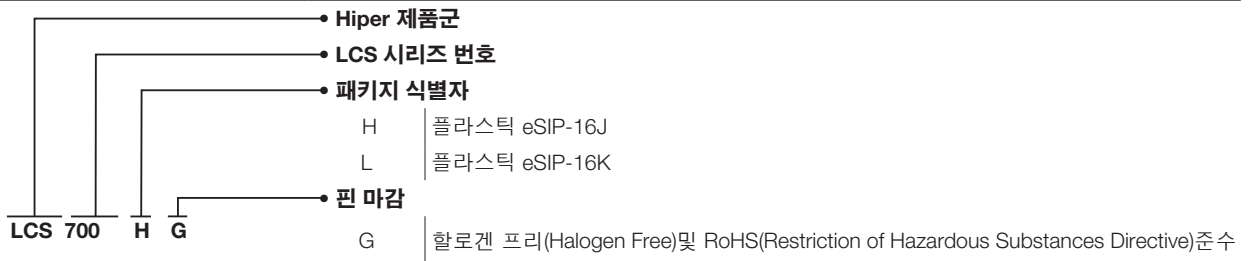
Detail A (N.T.S.)



인치(mm) 단위 치수.
모든 치수는 참조용입니다.

- 참고:
1. ASME Y14.5M-1994 당 치수 및 공차입니다.
 2. 표시된 치수는 몰드 플래시(Mold Flash), 타이 바 버(Tie Bar Burr), 게이트 버(Gate Burr), 인터리드 플래시(Interlead Flash)를 포함하지 않는 플라스틱 본체의 치수이지만 플라스틱 본체의 뒷면과 이렛면의 불일치한 요소가 포함됩니다. 최대 몰드 돌출은 축방향 0.007(0.18)입니다.
 3. 표시된 치수에는 도금 두께가 포함됩니다.
 4. 인터리드 플래시(Interlead Flash) 또는 돌출이 포함되지 않습니다.
 5. 제어 치수 단위는 인치(Inch)이며 밀리미터(mm) 치수는 괄호 안에 표시하였습니다.

부품 주문 정보



개정	참고	날짜
B	최초 출시	06/20/11
C	L 밴드 부품이 추가됨	02/12
C1	뒷면의 금속 H 패키지 옵션이 제거됨	06/12
D	구현되지 않음	
E	오버몰드 변경, 확장된 온도 범위 변경	06/12
E	BV _{DSS(TC)} 단위, 정선 온도 범위 업데이트됨, 참고 7 추가됨	08/30/12

최신 업데이트에 대한 자세한 내용은 당사 웹사이트를 참고하십시오. www.powerint.com

Power Integrations는 안정성 또는 생산성 향상을 위하여 언제든지 당사 제품을 변경할 수 있는 권한이 있습니다. Power Integrations는 여기서 설명하는 디바이스나 회로 사용으로 인해 발생하는 어떠한 책임도 지지 않습니다. Power Integrations는 어떠한 보증도 제공하지 않으며 모든 보증(상품성에 대한 묵시적 보증, 특정 목적에의 적합성 및 타사 권리의 비침해를 포함하되 이에 제한되지 않음)을 명백하게 부인합니다.

특허 정보

여기에 설명한 제품 및 애플리케이션(제품 외부 트랜스포머 구성 및 회로 포함)은 하나 이상의 미국 및 해외 특허를 포함하거나 또는 Power Integrations에서 출원 중인 미국 및 해외 특허를 포함할 수 있습니다. Power Integrations의 전체 특허 목록은 www.powerint.com에서 확인할 수 있습니다. Power Integrations는 고객에게 <http://www.powerint.com/ip.htm>에 명시된 특정 특허권에 따른 라이선스를 부여합니다.

수명 유지 장치 사용 정책

POWER INTEGRATIONS의 제품은 POWER INTEGRATIONS 사장의 명백한 문서상의 허가가 없는 한 수명 유지 디바이스 또는 시스템의 핵심 부품으로 사용할 수 없습니다. 다음과 같이 사용되는 경우:

1. 수명 유지 디바이스 또는 시스템이란 (i)신체에 외과적 이식을 목적으로 하거나, (ii)수명 지원 또는 유지 및 (iii) 사용 지침에 따라 올바르게 사용하는 경우에도 동작의 실패가 사용자의 상당한 부상 또는 사망을 초래할 수 있는 장치 또는 시스템입니다.
2. 핵심 부품이란 부품의 동작 실패가 수명 유지 디바이스 또는 시스템의 동작 실패를 초래하거나, 해당 디바이스 또는 시스템의 안전성 및 효율성에 영향을 줄 수 있는 수명 유지 디바이스 또는 시스템에 사용되는 모든 부품입니다.

PI 로고, TOPSwitch, TinySwitch, LinkSwitch, LYTSwitch, DPA-Switch, PeakSwitch, CAPZero, SENZero, LinkZero, HiperPFS, HiperTFS, HiperLCS, Qspeed, EcoSmart, Clampless, E-Shield, Filterfuse, StakFET, PI Expert 및 PI FACTS는 Power Integrations, Inc의 상표입니다. 다른 상표는 각 회사 소유의 자산입니다. ©2012, Power Integrations, Inc.

Power Integrations 전 세계 판매 지원 지역

세계 본사

5245 Hellyer Avenue
San Jose, CA 95138, USA.
본사 전화: +1-408-414-9200
고객 서비스:
전화: +1-408-414-9665
팩스: +1-408-414-9765
전자 메일:
usasales@powerint.com

중국(상하이)

Rm 1601/1610, Tower 1,
Kerry Everbright City
No. 218 Tianmu Road West,
Shanghai, P.R.C. 200070
전화: +86-21-6354-6323
팩스: +86-21-6354-6325
전자 메일:
chinasales@powerint.com

중국(선젠)

3rd Floor, Block A,
Zhongtuo International Business
Center, No. 1061, Xiang Mei Rd,
FuTian District, ShenZhen,
China, 518040
전화: +86-755-8379-3243
팩스: +86-755-8379-5828
전자 메일:
chinasales@powerint.com

독일

Lindwurmstrasse 114
80337 Munich
Germany
전화: +49-895-527-39110
팩스: +49-895-527-39200
전자 메일:
eurosales@powerint.com

인도

#1, 14th Main Road
Vasanthanagar
Bangalore-560052 India
전화: +91-80-4113-8020
팩스: +91-80-4113-8023
전자 메일:
indiasales@powerint.com

이탈리아

Via Milanese 20, 3rd. Fl.
20099 Sesto San Giovanni (MI)
Italy
전화: +39-024-550-8701
팩스: +39-028-928-6009
전자 메일:
eurosales@powerint.com

일본

Kosei Dai-3 Bldg.
2-12-11, Shin-Yokomana,
Kohoku-ku
Yokohama-shi Kanagwan
222-0033 Japan
전화: +81-45-471-1021
팩스: +81-45-471-3717
전자 메일:
japansales@powerint.com

한국

대한민국 서울특별시
강남구 삼성동
도심 공항 터미널 빌딩 159-6
6층 RM 602, 우편번호: 135-728
전화: +82-2-2016-6610
팩스: +82-2-2016-6630
전자 메일:
koreasales@powerint.com

싱가포르

51 Newton Road
#15-08/10 Goldhill Plaza
Singapore, 308900
전화: +65-6358-2160
팩스: +65-6358-2015
전자 메일:
singaporesales@powerint.com

대만

5F, No. 318, Nei Hu Rd., Sec. 1
Nei Hu Dist.
Taipei, Taiwan 114, R.O.C.
전화: +886-2-2659-4570
팩스: +886-2-2659-4550
전자 메일:
taiwansales@powerint.com

유럽

1st Floor, St. James's House
East Street, Farnham
Surrey GU9 7TJ
영국
전화: +44 (0) 1252-730-141
팩스: +44 (0) 1252-727-689
전자 메일:
eurosales@powerint.com

애플리케이션 문의 전화

전 세계 통합 번호
+1-408-414-9660

애플리케이션 문의 팩스

전 세계 통합 번호
+1-408-414-9760